

Requested Patent: JP2001319936A

Title: BIPOLAR TRANSISTOR AND MANUFACTURING METHOD THEREFOR ;

Abstracted Patent: JP2001319936 ;

Publication Date: 2001-11-16 ;

Inventor(s): TAKAGI TAKESHI;; ASAI AKIRA;; ONISHI TERUTO ;

Applicant(s): MATSUSHITA ELECTRIC IND CO LTD ;

Application Number: JP20000139560 20000512 ;

Priority Number(s): ;

IPC Classification: H01L21/331; H01L29/73; H01L29/165 ;

Equivalents: ;

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a heterobipolar transistor where the resistance of an outer base layer is small and a manufacturing method of the transistor. **SOLUTION:** An undoped SiGe spacer layer 7, an inclined SiGe base layer 8 where boron is doped and an Si cap layer 9 where boron is doped are sequentially installed on an Si epitaxial layer where an Si sub-collector layer 3a is installed. A mat oxide film 11 is installed on the Si cap layer 9 and an emitter lead electrode 10 filling the emitter opening 1 of the mat oxide film 11 is installed. Phosphorus in the emitter lead electrode 10 is diffused to a part of the Si cap layer 9 and an emitter diffusion layer 9a is formed. Since a link area Rlink positioned below the mat oxide film 11 in an outer base layer is formed from the inclined SiGe base layer 8 to the Si cap layer 9, the outer base resistance is reduced.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-319936

(P2001-319936A)

(43) 公開日 平成13年11月16日 (2001.11.16)

(51) Int.Cl.⁷

H 0 1 L 21/331
29/73
29/165

識別記号

F I

H 0 1 L 29/165
29/72

テームト* (参考)

5 F 0 0 3

審査請求 未請求 請求項の数11 OL (全 19 頁)

(21) 出願番号 特願2000-139560 (P2000-139560)

(22) 出願日 平成12年5月12日 (2000.5.12)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 高木 剛

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 浅井 明

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100077931

弁理士 前田 弘 (外1名)

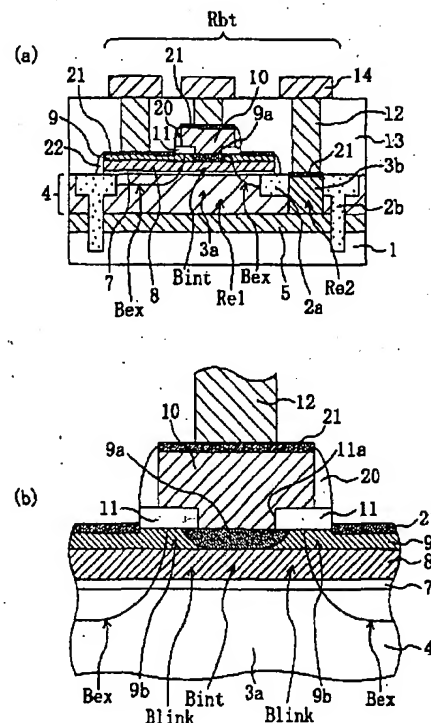
最終頁に続く

(54) 【発明の名称】 バイポーラトランジスタ及びその製造方法

(57) 【要約】

【課題】 外部ベース層の抵抗値の小さいヘテロバイポーラトランジスタ及びその製造方法を提供する。

【解決手段】 Siサブコレクタ層3aが設けられたSiエピタキシャル層4の上に、アンドープのSiGeベース層7、ボロンがドーパされた傾斜SiGeベース層8、ボロンがドーパされたSiキャップ層9が順次設けられている。Siキャップ層9の上には、下敷き酸化膜11が設けられており、下敷き酸化膜11のエミッタ開口部11aを埋めるエミッタ引き出し電極10が設けられている。そして、エミッタ引き出し電極10中のリンがSiキャップ層9の一部に拡散されてエミッタ拡散層9aが形成されている。外部ベース層のうち下敷き酸化膜11の下方に位置するリンク領域Rlinkが傾斜SiGeベース層8からSiキャップ層9に亘って形成されているので、外部ベース抵抗が低減する。



【特許請求の範囲】

【請求項1】 基板上に設けられ、第1導電型不純物を含むコレクタ層として機能する第1の半導体層と、
上記第1の半導体層の上に設けられ、第2導電型不純物を含む第2の半導体層と、
上記第2の半導体層の上に設けられ、上記第2の半導体層とはバンドギャップが異なる材料からなり、少なくとも下部に第2導電型不純物を含む第3の半導体層と、
上記第3の半導体層の上に設けられた下敷き絶縁膜と、
上記下敷き絶縁膜に設けられ、上記第3の半導体層に達する開口部と、

第1導電型不純物を含む導体材料により構成され、上記下敷き絶縁膜の開口部を埋めて上記第3の半導体層に接触するエミッタ引き出し電極とを備えたバイポーラトランジスタにおいて、

上記第3の半導体層は、上記開口部の下方に位置する第1導電型のエミッタ拡散層を有しており、
上記第2の半導体層は、上記第1の半導体層のエミッタ拡散層に接する真性ベース層を有していることを特徴とするバイポーラトランジスタ。

【請求項2】 請求項1記載のバイポーラトランジスタにおいて、

上記第3の半導体層の少なくとも下部に含まれる第2導電型不純物の濃度は、上記第2の半導体層の第2導電型不純物の濃度と実質的に等しいことを特徴とするバイポーラトランジスタ。

【請求項3】 請求項1又は2記載のバイポーラトランジスタにおいて、

上記エミッタ引き出し電極は、第1導電型不純物がドーパされたポリシリコン膜により構成されており、
上記第3の半導体層のエミッタ拡散層は、上記エミッタ引き出し電極から拡散した第1導電型不純物によって第1導電型に反転しているものであることを特徴とするバイポーラトランジスタ。

【請求項4】 請求項1～3のうちいずれか1つに記載のバイポーラトランジスタにおいて、

上記エミッタ引き出し電極は、ポリシリコン膜により構成されており、

上記第2又は第3の半導体層のうち上記エミッタ引き出し電極の外方に位置する領域からベース電極が引き出されていることを特徴とするシングルポリシリコン型のバイポーラトランジスタ。

【請求項5】 請求項1～3のうちいずれか1つに記載のバイポーラトランジスタにおいて、

上記エミッタ引き出し電極は、ポリシリコン膜により構成されており、

上記第3の半導体層のうち上記下敷き絶縁膜の外方に位置する部分に接して設けられ、第2導電型不純物がドーパされたポリシリコンにより構成されるベース引き出し電極をさらに備えていることを特徴とするバイポーラ

トランジスタ。

【請求項6】 請求項1～5のうちいずれか1つに記載のバイポーラトランジスタにおいて、

上記基板はシリコン基板であり、

上記第1の半導体層はSi層であり、

上記第2の半導体層はSiGe層であり、

上記第3の半導体層はSi層であることを特徴とするバイポーラトランジスタ。

【請求項7】 基板上の第1導電型不純物を含むコレクタ層となる第1の半導体層の上に、第2導電型不純物を含むベース層となる第2の半導体層を形成する工程

(a)と、

上記第2の半導体層の上に、上記第2の半導体層とはバンドギャップが異なる材料からなり、少なくとも下部に第2導電型不純物を含む第3の半導体層をエピタキシャル成長により形成する工程(b)と、

基板上に下敷き絶縁膜を堆積する工程(c)と、

上記下敷き絶縁膜に上記第3の半導体層に達する開口部を形成する工程(d)と、

上記第3の半導体層のうち上記開口部の下方に位置する領域に第1導電型不純物を導入して、エミッタ拡散層を形成する工程(e)とを含むバイポーラトランジスタの製造方法。

【請求項8】 請求項7記載のバイポーラトランジスタの製造方法において、

上記工程(d)の後で上記工程(e)の前に、基板上に導体膜を堆積した後、上記導体膜をパターニングして上記下敷き絶縁膜の開口部を埋めて上記下敷き絶縁膜の上に延びる第1導電型不純物を含むエミッタ引き出し電極を形成する工程をさらに含み、

上記工程(e)は、熱処理により、上記エミッタ引き出し電極中の第1導電型不純物を上記第3の半導体層に拡散させることにより行なわれることを特徴とするバイポーラトランジスタの製造方法。

【請求項9】 請求項7又は8記載のバイポーラトランジスタの製造方法において、

上記工程(d)においては、ウェットエッチングにより上記開口部を形成することを特徴とするバイポーラトランジスタの製造方法。

【請求項10】 請求項7記載のバイポーラトランジスタの製造方法において、

上記工程(d)の後に、基板上に導体膜及びマスク用絶縁膜を堆積した後、該マスク用絶縁膜及び導体膜をパターニングしてマスク膜及びエミッタ引き出し電極を形成する工程と、

上記マスク膜及びエミッタ引き出し電極をマスクとして、第2導電型不純物のイオン注入を行なうことにより、上記第2、第3の半導体層のうち上記エミッタ引き出し電極の外方に位置する領域に外部ベース注入層を形成する工程とをさらに含むことを特徴とするバイポーラ

トランジスタの製造方法。

【請求項11】 請求項8記載のバイポーラトランジスタの製造方法において、

上記工程(c)の後で上記工程(d)の前に、

上記下敷き絶縁膜の上に上記第3の半導体層の一部を覆うマスク部材を形成する工程と、

上記マスク部材を用いたエッチングにより、上記第3の半導体層の一部のみを覆うように下敷き絶縁膜をパターンニングした後、上記マスク部材を用いて第2導電型不純物のイオン注入を行なうことにより、上記第2、第3の半導体層のうち上記下敷き絶縁膜の外方に位置する領域に外部ベース注入層を形成する工程と、

上記外部ベース注入層の形成の後、基板上に上記導体膜とは別の導体膜を堆積した後、上記別の導体膜に上記下敷き絶縁膜に到達する開口部を形成する工程と、

上記別の導体膜の開口部の側面を覆う絶縁性の側壁保護膜を形成する工程とをさらに含み、

上記工程(d)は、上記側壁保護膜を形成する工程の後で行なわれるとともに、

上記工程(d)の後に、基板上に導体膜を堆積した後、該導体膜をパターンニングしてエミッタ引き出し電極を形

$$f_{\max} = \sqrt{(f_T / 8\pi \cdot R_B \cdot C_{BC})}$$

f_T : 電流利得遮断周波数

R_B : ベース抵抗

C_{BC} : ベース・コレクタ接合容量

上記各パラメータの改善の中でもベース抵抗 R_B を低減することは、雑音特性を改善する効果もあることから、もっとも重要な課題である。そのためには、真性ベース層の低抵抗化だけでなく、ベース電極をコンタクトさせるための外部ベース層の低抵抗化を実現することも必要である。

【0005】また、近年、シリコンウエハ上に作製可能なIV-IV族化合物であるSiGe系の材料をベース層に用いたヘテロバイポーラトランジスタ(SiGe-HBT)が注目を集めている。

【0006】SiGe-HBTは、SiGeベース層のGe含有率をエミッタ側からコレクタ側に向けて徐々に増加させた傾斜組成ベース構造のもの(L. Harame et al., "Optimization of SiGe HBT Technology for High Speed Analog and Mixed-Signal Applications," IEDM Tech. Dig. 1993, p. 71.) が代表的である。

【0007】この傾斜組成ベース構造では、ベース層に注入されたキャリアは、傾斜組成による電界によりベース層をドリフト走行する。ドリフト電界によるキャリアの走行は、拡散による走行に比べて高速であるため、ベース走行時間の短縮が図られ、良好な高周波特性が得られている。また、SiGe-HBTでは、従来のシリコンによるバイポーラトランジスタに比べ、ベース層の不純物濃度を高くしても電流増幅率が低下しないため、結果としてベース抵抗が低減され、 f_{\max} の向上や低雑

成する工程をさらに含むことを特徴とするバイポーラトランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、バイポーラトランジスタの高性能化を実現する素子の構造および製造方法に関する。

【0002】

【従来の技術】従来より、エミッタ層と外部ベース層とを自己整合的に形成することによりベース容量を低減するとともに、ベース抵抗を小さくすることにより、バイポーラトランジスタの動作の高速性をより高めようとする自己整合型バイポーラトランジスタの開発が進められている。

【0003】バイポーラトランジスタの最大発振周波数 f_{\max} の向上を図るためには、下記式(1)に示すように、電流利得遮断周波数 f_T の向上、ベース抵抗 R_B の低減、ベース・コレクタ間容量 C_{BC} の低減が有効であることがわかる。

【0004】

(1)

音化が図られている。このように、高周波特性に優れたSiGe-HBTは、汎用のシリコンプロセスを利用して作製できるため、高周波無線用ICなどのBiCMOSデバイスにも用いられつつある。

【0008】図13(a)、(b)は、従来のシングルポリシリコン型のSiGe-HBTの構造を示す断面図、及びエミッタベース接合部付近の構造を拡大して示す部分断面図である。

【0009】図13(a)に示すように、Si基板101のコレクタ埋め込み層105の上にはSiエピタキシャル層104が設けられており、このSiエピタキシャル層104には、活性領域を区画するためのシャロートレンチ102aが設けられている。また、シャロートレンチ102aよりもさらに下方に延びてSi基板101の奥方に達するディープトレンチ102bが設けられている。このディープトレンチ102bによりHBT形成領域 R_{bt} が取り囲まれ、シャロートレンチ102aにより、HBT形成領域 R_{bt} が第1の活性領域 $Re1$ と第2の活性領域 $Re2$ とに区画されている。そして、Siエピタキシャル層104内のコレクタ埋め込み層105の上方に位置する領域において、第1の活性領域 $Re1$ にはSiコレクタ層103aが、第2の活性領域 $Re2$ にはコレクタウォール層103bがそれぞれ設けられている。さらに、Siエピタキシャル層104のうち第1の活性領域 $Re1$ の上には、エピタキシャル成長によって形成されたGe含有率が約15%で厚み20nmのSiGeスペーサ層107が設けられている。このSiGeスペーサ層107は、ボロンの拡散によるバラスティックバリア

(寄生バリア)の形成を抑制するためのものであって、不純物がドーパされていないアンドープ層である。また、SiGeスペーサ層107の上には、Ge含有率が15%から上方に向かって減少し上端で0%となっている傾斜SiGeベース層108が設けられている。この傾斜SiGeベース層108の厚みは約40nmで、傾斜SiGeベース層108内には、in-situ ドーピングによりボロンが導入されている。さらに、傾斜SiGeベース層108の上には、エピタキシャル成長により形成された厚み約20nmのアンドープのSiキャップ層109が設けられている。

【0010】また、Siキャップ層109の上には、シリコン酸化膜からなる下敷き酸化膜111が設けられており、下敷き酸化膜111には、Siキャップ層109の一部を露出させるエミッタ開口部111aが形成されている。そして、下敷き酸化膜111のエミッタ開口部111aを埋めて、下敷き酸化膜111上に延びるリンがドーパされたポリシリコン膜からなるエミッタ引き出し電極110が設けられている。一方、上記Siキャップ層109のうちエミッタ開口部111aの下方に位置する領域には、エミッタ引き出し電極110からの拡散によるリンがドーパされたエミッタ拡散層109aが形成されている。

【0011】そして、傾斜SiGeベース層108のうちエミッタ拡散層109aの直下方に位置する領域が真性ベース層Bintである。また、SiGeスペーサ層107、傾斜SiGeベース層108及びSiキャップ層109のうち、エミッタ引き出し電極110の外方に位置する領域には、イオン注入によりP型不純物であるボロン(B)がドーパされて外部ベース注入層Bexが形成されており、この外部ベース注入領域Bexが外部ベース層の一部となっている。また、傾斜SiGeベース層8のうち下敷き酸化膜111の下方において、真性ベース層Bintと外部ベース注入領域Bexとに挟まれているリンク領域Blinkも外部ベース層の一部となっている。

【0012】なお、エミッタ引き出し電極110の側面と、Siキャップ層109、SiGe傾斜SiGeベース層108及びSiGeスペーサ層107からなる積層膜の側面とは、それぞれシリコン酸化膜からなるサイドウォール120、122が設けられている。さらに、ウエハ上には、BSG(Boron Silicate Glass)膜からなる層間絶縁膜113が設けられている。層間絶縁膜113には、エミッタ引き出し電極110、Siキャップ層109、コレクタウォール層103bにそれぞれ到達する接続孔が設けられており、各接続孔には、エミッタ引き出し電極110、Siキャップ層109、コレクタウォール層103bの表面部に形成されたシリサイド層121に接触するタングステンプラグ112が埋め込まれている。また、層間絶縁膜113の上には、各タングステンプラグ112に接続される金属配線114が設け

られている。

【0013】ここで、下敷き酸化膜111が設けられていることで、下敷き酸化膜111にエミッタ開口部111aを開く際に、ウエットエッチを用いることが可能となり、後にエミッタ拡散層109aとなるSiキャップ層109の表面部にエッチングダメージを与えないようにプロセスを進めることができる。

【0014】図14(a)、(b)は、従来のダブルポリシリコン型のSiGe-HBTの構造を示す断面図、及びエミッタベース接合部付近の構造を拡大して示す部分断面図である。

【0015】図14(a)に示すように、Si基板101のコレクタ埋め込み層105の上にはSiエピタキシャル層104が設けられており、このSiエピタキシャル層104には、活性領域を区画するためのシャロートレンチ102aが設けられている。また、シャロートレンチ102aよりもさらに下方に延びてSi基板101の奥方に達するディープトレンチ102bが設けられている。このディープトレンチ102bによりHBT形成領域Rbtが取り囲まれ、シャロートレンチ102aにより、HBT形成領域Rbtが第1の活性領域Relと第2の活性領域Re2とに区画されている。そして、Siエピタキシャル層104内のコレクタ埋め込み層105の上方に位置する領域において、第1の活性領域RelにはSiコレクタ層103aが、第2の活性領域Re2にはコレクタウォール層103bがそれぞれ設けられている。さらに、Siエピタキシャル層104のうち第1の活性領域Relの上には、エピタキシャル成長によって形成されたGe含有率が約15%で厚み20nmのSiGeスペーサ層107が設けられている。このSiGeスペーサ層7は、ボロンの拡散によるバラスティックバリア(寄生バリア)の形成を抑制するためのものであって、不純物がドーパされていないアンドープ層である。また、SiGeスペーサ層107の上には、Ge含有率が15%から上方に向かって減少し上端で0%となっている傾斜SiGeベース層108が設けられている。この傾斜SiGeベース層108の厚みは約40nmで、傾斜SiGeベース層108内には、in-situ ドーピングによりボロンが導入されている。さらに、傾斜SiGeベース層108の上には、エピタキシャル成長により形成された厚み約20nmのアンドープのSiキャップ層109が設けられている。また、Siキャップ層109の上には、シリコン酸化膜からなる下敷き酸化膜111が設けられており、下敷き酸化膜111には、Siキャップ層109の一部を露出させるエミッタ開口部111aが形成されている。そして、下敷き酸化膜111のエミッタ開口部111aを埋めるポリシリコンからなるエミッタ引き出し電極110が設けられている。

【0016】一方、上記Siキャップ層109のうちエミッタ開口部111aの下方に位置する領域には、エミ

ット引き出し電極110からの拡散によるリングがドーパされたエミッタ拡散層109aが形成されている。

【0017】また、下敷き酸化膜111の上には、P型不純物がドーパされたポリシリコン膜からなるベース引き出し電極131と、シリコン酸化膜からなる電極間絶縁膜132とが設けられている。ベース引き出し電極131及び電極間絶縁膜132のうち、下敷き酸化膜111のエミッタ開口部111aの上方に位置する部分は開口されていて、ベース引き出し電極121及び電極間絶縁膜132の側面には、酸化膜サイドウォール133が設けられ、さらに、酸化膜サイドウォール133の上にポリシリコンサイドウォール134が設けられている。そして、上述のエミッタ引き出し電極110は、エミッタ開口部111aを埋め、ポリシリコンサイドウォール134及び酸化膜サイドウォール133を挟んでベース引き出し電極131と対向している。つまり、酸化膜サイドウォール133によって、エミッタ引き出し電極110とベース引き出し電極131とが電氣的に絶縁されるとともに、ベース引き出し電極131からエミッタ引き出し電極110への不純物の拡散が阻止されている。また、電極間絶縁膜132によって、ベース引き出し電極131の上面とエミッタ引き出し電極110とが互いに絶縁されている。

【0018】そして、傾斜SiGeベース層108のうちエミッタ拡散層109aの直下方に位置する領域が真性ベース層Bintである。また、SiGeスペーサ層107、傾斜SiGeベース層108及びSiキャップ層109のうち、下敷き酸化膜111の外方に位置する領域には、イオン注入によりP型不純物であるボロン(B)がドーパされて外部ベース注入層Bexが形成されており、この外部ベース注入領域Bexが外部ベース層の

$$R_b = R_{ex} + R_{link} + R_{int}$$

R_{ex} : 外部ベース層中の外部ベース注入領域Bexの抵抗成分

R_{link} : 外部ベース層中のリンク領域Blinkの抵抗成分

R_{int} : 真性ベース層Bintの抵抗成分
により表される。

【0023】このとき、上記リンク領域の抵抗成分 R_{link} は、ドライエッチングでエミッタ開口を形成することができないSiGe-HBTに特有の抵抗成分である。SiGe-HBTにおいては、傾斜SiGeベース層の不純物濃度を高くすることができるため、本来、ベース抵抗 R_b が低くなるはずであるが、この抵抗成分 R_{link}

$$R_b = R_{ps} + R_c + R_{ex} + R_{link} + R_{int}$$

R_{ps} : ベース引き出し電極の抵抗

R_c : ベース引き出し電極-Siキャップ層間のコンタクト抵抗

R_{ex} : 外部ベース層中の外部ベース注入領域Bexの抵抗成分

R_{link} : 外部ベース層中のリンク領域Blinkの抵抗成分

一部となっている。また、傾斜SiGeベース層8のうち下敷き酸化膜111の下方において、真性ベース層Bintと外部ベース注入領域Bexとに挟まれているリンク領域Blinkも外部ベース層の一部となっている。

【0019】なお、エミッタ引き出し電極110及び電極間絶縁膜132の外側面と、ベース引き出し電極131の外側面とは、シリコン酸化膜からなるサイドウォール120が設けられている。

【0020】さらに、ウエハ上には、BSG (Boron Silicate Glass) 膜からなる層間絶縁膜113が設けられている。層間絶縁膜113には、エミッタ引き出し電極110、ベース引き出し電極131、コレクタウォール層103bにそれぞれ到達する接続孔が設けられており、各接続孔には、エミッタ引き出し電極110、ベース引き出し電極131、コレクタウォール層103bの表面部に形成されたシリサイド層121に接触するタングステンプラグ112が埋め込まれている。また、層間絶縁膜113の上には、各タングステンプラグ112に接続される金属配線114が設けられている。

【0021】

【発明が解決しようとする課題】しかしながら、上記従来のSiGe-HBTの構造やプロセスフローにおいて、以下のような不具合がある。

【0022】上記図13(a)、(b)に示す従来のシングルポリシリコン型のSiGe-HBTにおいては、ベース抵抗 R_b を低減することが困難であった。図13(b)は、シングルポリシリコン型SiGe-HBTのベース抵抗 R_b (シリサイド層121からエミッタ拡散層109a直下の真性ベース領域Bintまでの抵抗 R_b)の抵抗成分を示す。つまり、ベース抵抗 R_b は、下記式(2)

$$(2)$$

のために、本来の低ベース抵抗特性を十分に発揮できないという不具合がある。

【0024】一方、ダブルポリシリコン型のSiGe-HBTの製造工程においても、ウェットエッチによりエミッタ開口部111aを形成するために下敷き酸化膜111が必要となることから、シングルポリシリコン型SiGe-HBTと同様の問題がある。図14(b)は、ダブルポリシリコン型SiGe-HBTのベース抵抗 R_b (シリサイド層121からエミッタ拡散層109a直下の真性ベース領域までの抵抗 R_b)の成分を示す。つまり、ベース抵抗 R_b は、下記式(3)

$$(3)$$

R_{int} : 真性ベース層Bintの抵抗成分

により表される。

【0025】このとき、リンク領域Blinkの抵抗成分 R_{link} は、ドライエッチングでエミッタ開口を形成することができないSiGe-HBTに特有の抵抗成分であり、上述のように、この抵抗成分 R_{link} のために、本来

の低ベース抵抗特性を十分に発揮できないという不具合がある。

【0026】本発明の目的は、エミッタ引き出し電極とSiGeベース層との間に下敷き酸化膜を介在させたSiGe-HBTにおいて、ベース抵抗を低減する手段を講ずることにより、最大遮断周波数などの高周波特性の優れたヘテロバイポーラトランジスタ及びその製造方法を提供することにある。

【0027】

【課題を解決するための手段】本発明のバイポーラトランジスタは、基板上に設けられ、第1導電型不純物を含むコレクタ層として機能する第1の半導体層と、上記第1の半導体層の上に設けられ、第2導電型不純物を含む第2の半導体層と、上記第2の半導体層の上に設けられ、上記第2の半導体層とはバンドギャップが異なる材料からなり、少なくとも下部に第2導電型不純物を含む第3の半導体層と、上記第3の半導体層の上に設けられた下敷き絶縁膜と、上記下敷き絶縁膜に設けられ、上記第3の半導体層に達する開口部と、第1導電型不純物を含む導体材料により構成され、上記下敷き絶縁膜の開口部を埋めて上記第3の半導体層に接触するエミッタ引き出し電極とを備えたバイポーラトランジスタにおいて、上記第3の半導体層は、上記開口部の下方に位置する第1導電型のエミッタ拡散層を有しており、上記第2の半導体層は、上記第1の半導体層のエミッタ拡散層に接する真性ベース層を有している。

【0028】これにより、第3の半導体層の少なくとも下部には第2導電型不純物が含まれているので、第3の半導体層の第2導電型不純物を含む部分の抵抗が低減する。したがって、ベース抵抗全体が低減されることになり、最大遮断周波数などの高周波特性の優れたバイポーラトランジスタが得られる。

【0029】上記第3の半導体層の少なくとも下部に含まれる第2導電型不純物の濃度を、上記第2の半導体層の第2導電型不純物の濃度と実質的に等しくすることにより、第2、第3の半導体層の基板面に沿った方向の抵抗を均一化することができ、バイポーラトランジスタの高周波特性がさらに向上することになる。

【0030】上記エミッタ引き出し電極を第1導電型不純物がドーパされたポリシリコン膜により構成しておき、上記第3の半導体層のエミッタ拡散層を、上記エミッタ引き出し電極から拡散した第1導電型不純物によって第1導電型に反転したものとすることにより、第3の半導体層に第2導電型不純物をドーパして低抵抗化を図りつつ、バイポーラトランジスタの基本要素となるエミッタ拡散層が得られる。

【0031】上記エミッタ引き出し電極をポリシリコン膜により構成しておき、上記第2又は第3の半導体層のうち上記エミッタ引き出し電極の外方に位置する領域からベース電極を引き出すことにより、外部ベース層が低

抵抗化されたシングルポリシリコン型のヘテロバイポーラトランジスタが得られる。

【0032】上記エミッタ引き出し電極をポリシリコン膜により構成しておき、上記第3の半導体層のうち上記下敷き絶縁膜の外方に位置する部分に接して設けられ、第2導電型不純物がドーパされたポリシリコンにより構成されるベース引き出し電極をさらに備えることにより、外部ベース層が低抵抗化されたダブルポリシリコン型のヘテロバイポーラトランジスタが得られる。

【0033】上記基板をシリコン基板とし、上記第1の半導体層をSi層とし、上記第2の半導体層をSiGe層とし、上記第3の半導体層をSi層とすることにより、シリコンデバイスのプロセスを利用して容易に形成可能なヘテロバイポーラトランジスタが得られる。

【0034】本発明のバイポーラトランジスタの製造方法は、基板上の第1導電型不純物を含むコレクタ層となる第1の半導体層の上に、第2導電型不純物を含むベース層となる第2の半導体層を形成する工程(a)と、上記第2の半導体層の上に、上記第2の半導体層とはバンドギャップが異なる材料からなり、少なくとも下部に第2導電型不純物を含む第3の半導体層をエピタキシャル成長により形成する工程(b)と、基板上に下敷き絶縁膜を堆積する工程(c)と、上記下敷き絶縁膜に上記第3の半導体層に達する開口部を形成する工程(d)と、上記第3の半導体層のうち上記開口部の下方に位置する領域に第1導電型不純物を導入して、エミッタ拡散層を形成する工程(e)とを含んでいる。

【0035】この方法により、第2の半導体層のうちエミッタ拡散層の直下方に位置する領域が真性ベース層として機能し、真性ベース層の外方において、第2の半導体層と、第3の半導体層の少なくとも下部との抵抗の低い領域が外部ベース層として機能する。そして、外部ベース層のうち下敷き絶縁膜の直下方に位置するリンク領域において、第3の半導体層のうちの第2導電型不純物がドーパされている部分の抵抗値が低減することから、外部ベース層全体の抵抗値の小さいヘテロバイポーラトランジスタが得られることになる。

【0036】上記工程(d)の後で上記工程(e)の前に、基板上に導体膜を堆積した後、上記導体膜をパターニングして上記下敷き絶縁膜の開口部を埋めて上記下敷き絶縁膜の上に延びる第1導電型不純物を含むエミッタ引き出し電極を形成する工程をさらに含み、上記工程(e)を、熱処理により、上記エミッタ引き出し電極中の第1導電型不純物を上記第3の半導体層に拡散させることにより行なうことにより、第3の半導体層の導電型を容易に反転させてエミッタ拡散層を形成することができ

【0037】上記工程(d)においては、ウェットエッチングにより上記開口部を形成することにより、エッチングダメージのほとんどないエミッタ拡散層を有するヘ

テロバイポーラトランジスタが得られる。

【0038】上記工程(d)の後に、基板上に導体膜及びマスク用絶縁膜を堆積した後、該マスク用絶縁膜及び導体膜をパターニングしてマスク膜及びエミッタ引き出し電極を形成する工程と、上記マスク膜及びエミッタ引き出し電極をマスクとして、第2導電型不純物のイオン注入を行なうことにより、上記第2、第3の半導体層のうち上記エミッタ引き出し電極の外方に位置する領域に外部ベース注入層を形成する工程とをさらに含むことにより、シングルポリシリコンプロセスを利用して、抵抗値が均一化された外部ベース層を有するヘテロバイポーラトランジスタを形成することができる。

【0039】上記工程(c)の後で上記工程(d)の前に、上記下敷き絶縁膜の上に上記第3の半導体層の一部を覆うマスク部材を形成する工程と、上記マスク部材を用いたドライエッチングにより、上記第3の半導体層の一部のみを覆うように下敷き絶縁膜をパターニングした後、上記マスク部材を用いて第2導電型不純物のイオン注入を行なうことにより、上記第2、第3の半導体層のうち上記下敷き絶縁膜の外方に位置する領域に外部ベース注入層を形成する工程と、上記外部ベース注入層の形成の後、基板上に上記導体膜とは別の導体膜を堆積した後、上記別の導体膜に上記下敷き絶縁膜に到達する開口部を形成する工程と、上記別の導体膜の開口部の側面を覆う絶縁性の側壁保護膜を形成する工程とをさらに含み、上記工程(d)を上記側壁保護膜を形成する工程の後で行うとともに、上記工程(d)の後に、基板上に導体膜を堆積した後、該導体膜をパターニングしてエミッタ引き出し電極を形成する工程をさらに含むことにより、ダブルポリシリコンプロセスを利用して、抵抗値が均一化された外部ベース層を有するヘテロバイポーラトランジスタを形成することができる。

【0040】

【発明の実施の形態】(第1の実施の形態)図1

(a)、(b)は、本実施形態に係るSiエミッタ層とSiGeベース層とを有するヘテロバイポーラトランジスタ(HBT)であってシングルポリシリコン型HBTの構造を示す断面図、及びエミッターベース接合部付近の構造を拡大して示す部分断面図である。

【0041】図1(a)に示すように、Si基板1のコレクタ埋め込み層5の上にはSiエピタキシャル層4が設けられており、このSiエピタキシャル層4には、活性領域を区画するためのシャロートレンチ2aが設けられている。また、シャロートレンチ2aよりもさらに下方に延びてSi基板1の奥方に達するディープトレンチ2bが設けられている。このディープトレンチ2bによりHBT形成領域Rbtが取り囲まれ、シャロートレンチ2aにより、HBT形成領域Rbtが第1の活性領域Relと第2の活性領域Re2とに区画されている。そして、Siエピタキシャル層4内のコレクタ埋め込み層5の上方

に位置する領域において、第1の活性領域RelにはSiコレクタ層3aが、第2の活性領域Re2にはコレクタウォール層3bがそれぞれ設けられている。さらに、Siエピタキシャル層4のうち第1の活性領域Relの上には、エピタキシャル成長によって形成されたGe含有率が約15%で厚み20nmのSiGeスペーサ層7が設けられている。このSiGeスペーサ層7は、ボロンの拡散によるパラステックバリア(寄生バリア)の形成を抑制するためのものであって、不純物がドーピングされていないアンドープ層である。また、SiGeスペーサ層7の上には、Ge含有率が15%から上方に向かって減少し上端で0%となっている傾斜SiGeベース層8が設けられている。この傾斜SiGeベース層8の厚みは約40nmで、傾斜SiGeベース層8内には、in-situドーピングにより、濃度が $2 \times 10^{18} \text{ atoms} \cdot \text{cm}^{-3}$ のボロンが導入されている。さらに、傾斜SiGeベース層8の上には、エピタキシャル成長により形成されたSiキャップ層9が設けられている。Siキャップ層9の厚みは約30nmで、Siキャップ層9内には、傾斜SiGeベース層8内と同様に、濃度が約 $2 \times 10^{18} \text{ atoms} \cdot \text{cm}^{-3}$ のボロン(B)がドーピングされている。また、Siキャップ層9の上には、厚みが約3.0nmのシリコン酸化膜からなる下敷き酸化膜11が設けられており、下敷き酸化膜11には、Siキャップ層9の一部を露出させるエミッタ開口部11aが形成されている。そして、下敷き酸化膜11のエミッタ開口部11aを埋めて、下敷き酸化膜11上に延びるポリシリコンからなるエミッタ引き出し電極10が設けられている。エミッタ引き出し電極10には、濃度約 $5 \times 10^{20} \text{ atoms} \cdot \text{cm}^{-3}$ のN型不純物であるリン(P)がドーピングされている。一方、上記Siキャップ層9のうちエミッタ開口部11aの下方に位置する領域には、エミッタ引き出し電極10からの拡散により、高濃度のリンがドーピングされたエミッタ拡散層9aが形成されている。つまり、Siキャップ層9にはほぼ均一にボロン(濃度約 $2 \times 10^{18} \text{ atoms} \cdot \text{cm}^{-3}$)がドーピングされているが、Siキャップ層9中のエミッタ拡散層9aにおいては、エミッタ引き出し電極10から拡散したリンの濃度がドーピングされているボロンの濃度よりも大幅に高いので、エミッタ拡散層9aはN型に反転している。

【0042】そして、傾斜SiGeベース層8のうちエミッタ拡散層9aの直下方に位置する領域が真性ベース層Bintである。また、Siエピタキシャル層4の表面部、SiGeスペーサ層7、傾斜SiGeベース層8及びSiキャップ層9のうち、エミッタ引き出し電極10の外方に位置する領域には、イオン注入によりP型不純物であるボロン(B)がドーピングされた外部ベース注入領域Bexが形成されている。この外部ベース注入領域Bexが外部ベース層の一部になっている。

【0043】さらに、Siキャップ層9のうちエミッタ

拡散層9aの側方かつ下敷き酸化膜11直下の領域には、傾斜SiGeベース層8と同じ濃度のボロンがドーパされている。そして、真性ベース層Bintと外部ベース注入領域Bexとに挟まれる領域において、Siキャップ層9と傾斜SiGeベース層8とに亘ってリンク領域Blinkが形成されている。その結果、外部ベース層のうちの下敷き酸化膜11の下方に位置しているリンク領域Blinkは、傾斜SiGeベース層8だけでなくSiキャップ層9をも含むように厚み方向に拡大している。このように、外部ベース層中のリンク領域Bexの厚みが拡大している点が本実施形態のHBTの特徴である。

【0044】なお、外部ベース注入領域BexのうちSiエピタキシャル層4の表面部は、濃度が約 $3 \times 10^{17} \text{ atoms} \cdot \text{cm}^{-3}$ 程度のボロンがドーパされて、接合リーク防止層となっている。

【0045】また、エミッタ引き出し電極10の側面と、Siキャップ層9、SiGe傾斜SiGeベース層8及びSiGeスペーサ層7からなる積層膜の側面とは、それぞれシリコン酸化膜からなるサイドウォール20、22が設けられている。

【0046】さらに、ウエハ上には、BSG (Boron Silicate Glass) 膜からなる層間絶縁膜13が設けられている。層間絶縁膜13には、エミッタ引き出し電極10、Siキャップ層9のうちの外部ベース層の一部となる領域9b、コレクタウォール層3bにそれぞれ到達する接続孔が設けられており、各接続孔には、エミッタ引き出し電極10、Siキャップ層9のうちの外部ベース層の一部となる領域9b、コレクタウォール層3bの表面部に形成されたシリサイド層21に接触するタングステンプラグ12が埋め込まれている。また、層間絶縁膜13の上には、各タングステンプラグ12に接続される金属配線14が設けられている。

【0047】本実施形態に係るSiGe-HBTによると、Siキャップ層9の外部ベース層の一部となる領域9bのうち下敷き酸化膜11の下方に位置する領域には、比較的高濃度のボロン（濃度約 $2 \times 10^{18} \text{ atoms} \cdot \text{cm}^{-3}$ ）がドーパされているので、リンク領域Blinkは、傾斜SiGeベース層8だけでなくSiキャップ層9をも含むように厚み方向に拡大している。そして、式(2)に示すベース抵抗 R_B のうちリンク領域Blinkの成分 R_{link} が、例えば4/7程度に低減する。その結果、ベース抵抗 R_B が小さくなるので、式(1)に示すHBTの最大発振周波数 f_{max} の向上を図ることができる。

【0048】一方、Siキャップ層9全体にはP型不純物がドーパされているが、エミッタ引き出し電極10からのN型不純物の拡散により、Siキャップ層9のうちのエミッタ拡散層9aにおける導電型が反転し、エミッタ拡散層9a及び真性ベース層Bintを通過する縦断面における不純物プロファイルは、従来のアンドープのS

iキャップ層を備えたHBTにおける不純物プロファイルとほとんど変わりがない。したがって、電流利得遮断周波数 f_T の劣化はほとんど起こらない。また、Siキャップ層9内において、エミッタ拡散層9aとそれ以外の領域（外部ベース層の一部となる領域9b）との間にPN接合部が形成されるために、エミッタ接合容量が若干増加する分だけエミッタ接合容量の充放電時間が増加するが、電流利得遮断周波数 f_T の値はほとんど影響を受けない。また、エミッタ・ベース接合の耐圧も、Siキャップ層9の不純物濃度を傾斜SiGeベース層8と同程度とすることによって低下することはない。

【0049】このように、本実施形態のHBTによれば、シングルポリシリコン構造を有するHBTにおいて、高周波特性の劣化を抑制しつつ、接合耐圧を同程度に保ったまま、ベース抵抗を低減することができる。よって、最大発振周波数 f_{max} の増大と、低雑音化とを実現することができる。

【0050】次に、本実施形態のSiGe-HBTの製造工程について説明する。図2(a)～図4(d)は、本実施形態のSiGe-HBTの製造工程を示す断面図である。そのうち、図2(a)～(d)は、工程のはじめからエミッタ引き出し電極用ポリシリコン膜を堆積するまでの工程を示す断面図、図3(a)～(d)は、エミッタ引き出し電極の形成から被覆酸化膜を堆積するまでの工程を示す断面図、図4(a)～(d)は、エミッタ引き出し電極などの側面へのサイドウォールの形成から配線の形成までの工程を示す断面図である。

【0051】まず、図2(a)に示す工程で、Si基板1に、N型不純物（例えばリン）の注入によりコレクタ埋め込み層5を形成した後、エピタキシャル成長により、Si基板1の上にSiエピタキシャル層4を形成する。このとき、コレクタ埋め込み層5内のリンなどの不純物がSiエピタキシャル層4に拡散する。その後、シャロートレンチ2a、ディープトレンチ2bを形成し、HBT形成領域Rbtを、エミッタ・ベース接合などを形成するための第1の活性領域Re1と、コレクタ電極の引き出しを行なうための第2の活性領域Re2とに区画する。つまり、Siエピタキシャル層4のうち第1の活性領域Re1にはSiコレクタ層3aが形成され、第2の活性領域Re2にはコレクタウォール層3bが形成される。

【0052】次に、図2(b)に示す工程で、UHV-CVDを用いたエピタキシャル成長法により、ウエハ上に、Geの含有率が15%のアンドープSiGe層と、P型不純物であるボロンを含みGe含有率が15%から0に漸次減少するドーパト傾斜SiGe層と、P型不純物であるボロンを含むドーパトSi層とを、ガス種を変えながらほぼ連続して堆積する。そして、ドーパトSi層とドーパト傾斜SiGe層とアンドープSiGe層とをパターニングして、Siエピタキシャル層4のうち第1の活性領域Re1の上に、SiGeスペーサ層7と、傾

斜SiGeドープ層8と、Siキャップ層9とを形成する。このとき、傾斜SiGeベース層8の厚みは約40 nmで、その不純物濃度は $2 \times 10^{18} \text{ atoms} \cdot \text{cm}^{-3}$ である。Siキャップ層9の厚みは約30 nmで、その不純物濃度は約 $2 \times 10^{18} \text{ atoms} \cdot \text{cm}^{-3}$ である。

【0053】次に、図2(c)に示す工程で、ウエハ上に厚みが約30 nmのシリコン酸化膜11xを堆積した後、ウエットエッチにより、シリコン酸化膜11xの一部を選択的に除去してエミッタ開口部11aを形成し、エミッタ開口部11aの底部にSiキャップ層9の一部を露出させる。このとき、ウエットエッチによってシリコン酸化膜11xをエッチングするので、Siキャップ層9にダメージを与えることはない。

【0054】次に、図2(d)に示す工程で、ウエハ上に、in-situ ドーピングにより高濃度のリン(P)がドーパされた厚みが約250 nmのN型のポリシリコン膜10xと、注入保護膜となるシリコン窒化膜16xとを堆積する。ただし、ポリシリコン膜10xには、イオン注入によりN型不純物(リン又は砒素)をドーパしてもよいものとする。

【0055】次に、図3(a)に示す工程で、フォトレジスト膜17Aを用いたドライエッチングにより、シリコン窒化膜16x、ポリシリコン膜10x及びシリコン酸化膜11xをパターンニングして、エミッタ開口部11aでSiキャップ層9に接触するエミッタ引き出し電極10と、下敷き酸化膜11と、エミッタ引き出し電極10上の注入保護膜16とを形成する。

【0056】次に、図3(b)に示す工程で、フォトレジスト膜17Aを除去した後、ウエハ上に、コレクタウォール層3bを少なくとも覆うフォトレジスト膜17Bを形成し、このフォトレジスト膜17B及び注入保護膜16をマスクとしてボロン(B)のイオン注入を行なう。これにより、Siキャップ層9、傾斜SiGeベース層8及びSiGeスペーサ層7のうち、エミッタ引き出し電極10の外側に位置する領域Bexにはボロンがドーパされる。そして、この外部ベース注入領域BexのうちSiエピタキシャル層4の表面部には、約 $3 \times 10^{17} \text{ atoms} \cdot \text{cm}^{-3}$ の濃度のボロンが導入されて、拡散リーク防止層が形成される。

【0057】次に、図3(c)に示す工程で、フォトレジスト膜17B及び注入保護膜16を除去した後、ウエハ上に、熱処理時における不純物の拡散防止用のシリコン酸化膜からなる被覆用酸化膜18を堆積する。

【0058】次に、図3(d)に示す工程で、900℃、15秒間の条件で、急速加熱処理(RTA)を行なう。エミッタ引き出し電極10中のリンをSiキャップ層9内に拡散させて、Siキャップ層9のうちエミッタ開口部11aの下方に位置する領域にエミッタ拡散層9aを形成する。

【0059】次に、図4(a)に示す工程で、被覆用酸

化膜18及びシリコン酸化膜11xを異方性エッチングによりエッチングして、エミッタ引き出し電極10の側面と、Siキャップ層9、傾斜SiGeベース層8及びSiGeスペーサ層7からなる積層膜の側面とに、それぞれシリコン酸化膜からなるサイドウォール20、22を形成する。

【0060】次に、図4(b)に示す工程で、ウエハ上に露出しているエミッタ引き出し電極10と、Siキャップ層9のうちの外部ベース層の一部となる領域9bと、コレクタウォール層3bとの上に金属膜(例えばチタン膜)を堆積した後、熱処理により金属とシリコンとを反応させて、エミッタ引き出し電極10、Siキャップ層9のうちの外部ベース層の一部となる領域9b、及びコレクタウォール層3bの上に、シリサイド層(例えばチタンシリサイド層)21を形成する。

【0061】次に、図4(c)に示す工程で、ウエハ上に、BSG膜からなる層間絶縁膜13を堆積する。

【0062】次に、図4(d)に示す工程で、層間絶縁膜13に、エミッタ引き出し電極10、Siキャップ層9のうちの外部ベース層の一部となる領域9b、コレクタウォール層3bにそれぞれ到達する接続孔を形成した後、各接続孔にタングステンを埋め込んで、エミッタ引き出し電極10、Siキャップ層9のうちの外部ベース層の一部となる領域9b、コレクタウォール層3bの表面部に形成されたシリサイド層21に接触するタングステンプラグ12を形成する。その後、層間絶縁膜13の上に、各タングステンプラグ12に接続されるアルミニウムからなる金属配線14を形成する。これにより、図1(a)、(b)に示すHBTの構造が実現する。

【0063】本実施形態の製造工程によれば、図2(b)に示す工程で、比較的高濃度のP型不純物を含むSiキャップ層9を形成し、図3(d)に示す工程で、このSiキャップ層9のうちエミッタ開口部11aの下方に位置する領域に高濃度のN型不純物であるリンを拡散させて、エミッタ拡散層9aを形成している。つまり、Siキャップ層9のうち中央部はエミッタ拡散層9aとなり、それ以外の領域9bは外部ベース層の一部となる。

【0064】したがって、従来のHBTのごとくアンドープのSiキャップ層が設けられているのに比べて、外部ベース層のうち下敷き酸化膜11の下方に位置する部分であるリンク領域Blinkの抵抗値を低減することができる。すなわち、本実施形態のHBTの製造方法により、上述のごとく、最大発振周波数 f_{max} の高い、低雑音化されたHBTを容易に形成することができるのである。

【0065】なお、本実施形態のHBTの製造工程において、図4(a)に示すボロンのイオン注入工程は省略してもよい。Siキャップ層9に高濃度のボロンがドーパされているので、外部ベース注入領域Bexが存在して

いなくても、外部ベース層全体の抵抗値を十分小さく維持することができるからである。

【0066】また、図2(b)に示すSiキャップ層9のエピタキシャル成長の際、in-situ ドープによってSiキャップ層9全体にボロンをドープする必要はなく、Siキャップ層9の少なくとも下部にボロンをドープしておけばよい。その場合にも、その後の熱処理によってボロンがSiキャップ層9内を上方に拡散するので、外部ベース層全体の抵抗値を小さく維持することは可能である。

【0067】(第2の実施の形態)図5(a), (b)は、本実施形態に係るSiエミッタ層とSiGeベース層とを有するヘテロバイポーラトランジスタ(HBT)であってダブルポリシリコン型HBTの構造を示す断面図、及びエミッターベース接合部付近の構造を拡大して示す部分断面図である。

【0068】図5(a)に示すように、Si基板1のコレクタ埋め込み層5の上にはSiエピタキシャル層4が設けられており、このSiエピタキシャル層4には、活性領域を区画するためのシャロートレンチ2aが設けられている。また、シャロートレンチ2aよりもさらに下方に延びてSi基板1の裏方に達するディープトレンチ2bが設けられている。このディープトレンチ2bによりHBT形成領域Rbtが取り囲まれ、シャロートレンチ2aにより、HBT形成領域Rbtが第1の活性領域Relと第2の活性領域Re2とに区画されている。そして、Siエピタキシャル層4内のコレクタ埋め込み層5の上方に位置する領域において、第1の活性領域RelにはSiコレクタ層3aが、第2の活性領域Re2にはコレクタウォール層3bがそれぞれ設けられている。さらに、Siエピタキシャル層4のうち第1の活性領域Relの上には、エピタキシャル成長によって形成されたGe含有率が約15%で厚み20nmのSiGeスペーサ層7が設けられている。このSiGeスペーサ層7は、ボロンの拡散によるバラスティックバリア(寄生バリア)の形成を抑制するためのものであって、不純物がドープされていないアンドープ層である。また、SiGeスペーサ層7の上には、Ge含有率が15%から上方に向かって減少し上端で0%となっている傾斜SiGeベース層8が設けられている。この傾斜SiGeベース層8の厚みは約40nmで、傾斜SiGeベース層8内には、in-situ ドーピングにより、濃度が $2 \times 10^{18} \text{ atoms} \cdot \text{cm}^{-3}$ のボロンが導入されている。さらに、傾斜SiGeベース層8の上には、エピタキシャル成長により形成されたSiキャップ層9が設けられている。Siキャップ層9の厚みは約30nmで、Siキャップ層9内には、傾斜SiGeベース層8内と同様に、濃度が約 $2 \times 10^{18} \text{ atoms} \cdot \text{cm}^{-3}$ のボロン(B)がドープされている。また、Siキャップ層9の上には、厚みが約30nmのシリコン酸化膜からなる下敷き酸化膜11が設けられてお

り、下敷き酸化膜11には、Siキャップ層9の一部を露出させるエミッタ開口部11aが形成されている。そして、下敷き酸化膜11のエミッタ開口部11aを埋めるポリシリコンからなるエミッタ引き出し電極10が設けられている。エミッタ引き出し電極10には、濃度約 $5 \times 10^{20} \text{ atoms} \cdot \text{cm}^{-3}$ のN型不純物であるリン(P)がドープされている。一方、上記Siキャップ層9のうちエミッタ開口部11aの下方に位置する領域には、エミッタ引き出し電極10からの拡散により、高濃度のリンがドープされたエミッタ拡散層9aが形成されている。つまり、Siキャップ層9にはほぼ均一にボロン(濃度約 $2 \times 10^{18} \text{ atoms} \cdot \text{cm}^{-3}$)がドープされているが、Siキャップ層9中のエミッタ拡散層9aにおいては、エミッタ引き出し電極10から拡散したリンの濃度がドープされているボロンの濃度よりも大幅に高いので、エミッタ拡散層9aはN型に反転している。

【0069】また、下敷き酸化膜11の上には、P型不純物がドープされたポリシリコン膜からなるベース引き出し電極31と、シリコン酸化膜からなる電極間絶縁膜32とが設けられている。ベース引き出し電極31及び電極間絶縁膜32のうち、下敷き酸化膜11のエミッタ開口部11aの上方に位置する部分は開口されていて、ベース引き出し電極21及び電極間絶縁膜32の側面には、酸化膜サイドウォール33が設けられ、さらに、酸化膜サイドウォール33の上にポリシリコンサイドウォール34が設けられている。そして、上述のエミッタ引き出し電極10は、エミッタ開口部11aを埋め、ポリシリコンサイドウォール34及び酸化膜サイドウォール33を挟んでベース引き出し電極31と対向している。つまり、酸化膜サイドウォール33によって、エミッタ引き出し電極10とベース引き出し電極31とが電気的に絶縁されるとともに、ベース引き出し電極31からエミッタ引き出し電極10への不純物の拡散が阻止されている。また、電極間絶縁膜32によって、ベース引き出し電極31の上面とエミッタ引き出し電極10とが互いに絶縁されている。

【0070】そして、傾斜SiGeベース層8のうちエミッタ拡散層9aの直下方に位置する領域が真性ベース層Bintである。また、Siエピタキシャル層4の表面部、SiGeスペーサ層7、傾斜SiGeベース層8及びSiキャップ層9のうち、下敷き酸化膜11の外方に位置する領域には、イオン注入によりP型不純物であるボロン(B)がドープされた外部ベース注入領域Bexが形成されている。この外部ベース注入領域Bexが外部ベース層の一部になっている。

【0071】さらに、Siキャップ層9のうちエミッタ拡散層9aの側方かつ下敷き酸化膜11直下の領域には、傾斜SiGeベース層8と同じ濃度のボロンがドープされている。そして、真性ベース層Bintと外部ベース注入領域Bexとに挟まれる領域において、Siキャッ

プ層9と傾斜SiGeベース層8とに亘ってリンク領域Blinkが形成されている。その結果、外部ベース層のうちの下敷き酸化膜11の下方に位置しているリンク領域Blinkは、傾斜SiGeベース層8だけでなくSiキャップ層9をも含むように厚み方向に拡大している。このように、外部ベース層中のリンク領域Bexの厚みが拡大している点が本実施形態のHBTの特徴である。

【0072】なお、外部ベース注入領域BexのうちSiエピタキシャル層4の表面部は、濃度が約 $3 \times 10^{17} \text{ atoms} \cdot \text{cm}^{-3}$ 程度のボロンがドーパされて、接合リーク防止層となっている。

【0073】また、エミッタ引き出し電極10及び電極間絶縁膜32の外側面と、ベース引き出し電極31の外側面とは、シリコン酸化膜からなるサイドウォール20が設けられている。

【0074】さらに、ウエハ上には、BSG (Boron Silicate Glass) 膜からなる層間絶縁膜13が設けられている。層間絶縁膜13には、エミッタ引き出し電極10、ベース引き出し電極31、コレクタウォール層3bにそれぞれ到達する接続孔が設けられており、各接続孔には、エミッタ引き出し電極10、ベース引き出し電極31、コレクタウォール層3bの表面部に形成されたシリサイド層21に接触するタングステンプラグ12が埋め込まれている。また、層間絶縁膜13の上には、各タングステンプラグ12に接続される金属配線14が設けられている。

【0075】本実施形態に係るSiGe-HBTによると、上記第1の実施形態のHBTと同様に、Siキャップ層9の外部ベース層の一部となる領域9bのうち下敷き酸化膜11の下方に位置する領域には、比較的高濃度のボロン（濃度約 $2 \times 10^{18} \text{ atoms} \cdot \text{cm}^{-3}$ ）がドーパされているので、リンク領域Blinkは、傾斜SiGeベース層8だけでなくSiキャップ層9をも含むように厚み方向に拡大している。そして、式(2)に示すベース抵抗 R_B のうちリンク領域Blinkの成分 R_{link} が、例えば4/7程度に低減する。その結果、ベース抵抗 R_B が小さくなるので、式(1)に示すHBTの最大発振周波数 f_{max} の向上を図ることができる。

【0076】一方、Siキャップ層9全体にはP型不純物がドーパされているが、エミッタ引き出し電極10からのN型不純物の拡散により、エミッタ拡散層9aにおける導電型が反転し、エミッタ拡散層9a及び真性ベース層Bintを通過する縦断面における不純物プロファイルは、従来のアンドープのSiキャップ層を備えたHBTにおける不純物プロファイルとほとんど変わりが無い。したがって、電流利得遮断周波数 f_T の劣化はほとんど起こらない。また、Siキャップ層9内において、エミッタ拡散層9aとそれ以外の領域（外部ベース層の一部となる領域9b）との間にPN接合部が形成されるために、エミッタ接合容量が若干増加する分だけエミッ

タ接合容量の充放電時間が増加するが、電流利得遮断周波数 f_T の値はほとんど影響を受けない。また、エミッタ・ベース接合の耐圧も、Siキャップ層9の不純物濃度を傾斜SiGeベース層8と同程度とすることによって低下することはない。

【0077】このように、本実施形態のHBTによれば、ダブルポリシリコン構造を有するHBTにおいても、上記第1の実施形態と同様に、高周波特性の劣化を抑制しつつ、接合耐圧を同程度に保ったまま、ベース抵抗を低減することができる。よって、最大発振周波数 f_{max} の増大と、低雑音化とを実現することができる。

【0078】次に、本実施形態のSiGe-HBTの製造工程について説明する。図6(a)～図8(d)は、本実施形態のSiGe-HBTの製造工程を示す断面図である。そのうち、図6(a)～(e)は、工程のはじめからコレクタ引き出し電極にエミッタ開口部を形成するまでの工程を示す断面図、図7(a)～(e)は、エミッタ開口部の形成から被覆酸化膜を堆積するまでの工程を示す断面図、図8(a)～(d)は、エミッタ拡散層の形成から配線の形成までの工程を示す断面図である。

【0079】まず、図6(a)に示す工程で、Si基板1に、N型不純物（例えばリン）の注入によりコレクタ埋め込み層5を形成した後、エピタキシャル成長により、Si基板1の上にSiエピタキシャル層4を形成する。このとき、コレクタ埋め込み層5内のリンなどの不純物がSiエピタキシャル層4に拡散する。その後、シャロートレンチ2a、ディープトレンチ2bを形成し、HBT形成領域Rbtを、エミッタ・ベース接合などを形成するための第1の活性領域Re1と、コレクタ電極の引き出しを行なうための第2の活性領域Re2とに区画する。つまり、Siエピタキシャル層4のうち第1の活性領域Re1にはSiコレクタ層3aが形成され、第2の活性領域Re2にはコレクタウォール層3bが形成される。

【0080】次に、図6(b)に示す工程で、UHV-CVDを用いたエピタキシャル成長法により、ウエハ上に、Geの含有率が15%のアンドープSiGe層と、P型不純物であるボロンを含みGe含有率が15%から0に漸次減少するドーパ傾斜SiGe層と、P型不純物であるボロンを含むドーパSi層とを、ガス種を変えながらほぼ連続して堆積する。そして、ドーパSi層とドーパ傾斜SiGe層とアンドープSiGe層とをパターンニングして、Siエピタキシャル層4のうち第1の活性領域Re1の上に、SiGeスペーサ層7と、傾斜SiGeドーパ層8と、Siキャップ層9とを形成する。このとき、傾斜SiGeベース層8の厚みは約40nmで、その不純物濃度は $2 \times 10^{18} \text{ atoms} \cdot \text{cm}^{-3}$ である。Siキャップ層9の厚みは約30nmで、その不純物濃度は約 $2 \times 10^{18} \text{ atoms} \cdot \text{cm}^{-3}$ である。

【0081】次に、図6(c)に示す工程で、ウエハ上

に、エッチストップとなる厚みが約30 nmのシリコン酸化膜11xを堆積する。

【0082】次に、図6(d)に示す工程で、シリコン酸化膜11xの上に設けたフォトレジスト膜17Cをマスクとして用いて、シリコン酸化膜11xをドライエッチングによりパターンニングして、ベース接続用開口部40を形成する。このとき、Siキャップ層9、傾斜SiGeベース層8及びSiGeスペーサ層7の中央部はシリコン酸化膜11xによって覆われており、ベース接続用開口部40にはSiキャップ層9、傾斜SiGeベース層8及びSiGeスペーサ層7の周辺部が露出している。続いて、フォトレジスト膜17Cをそのまま注入マスクとして用い、P型不純物であるボロン(B)のイオン注入を行い、Siキャップ層9、傾斜SiGeベース層8、SiGeスペーサ層7及びSiエピタキシャル層4の表面部に外部ベース注入領域Bexを形成する。このとき、外部ベース注入領域BexのうちSiエピタキシャル層4の表面部には、約 $3 \times 10^{17} \text{ atoms} \cdot \text{cm}^{-3}$ の濃度のボロンが導入されて、拡散リーク防止層が形成される。

【0083】次に、図6(e)に示す工程で、CVDにより、ウエハ上に高濃度のボロン(B)が注入された厚さ約150 nmのポリシリコン膜31xと、厚さ約100 nmのシリコン酸化膜32xとを順次形成する。次に、ドライエッチングにより、シリコン酸化膜32xとポリシリコン膜31xとの中央部に、シリコン酸化膜11xに達するエミッタ開口部31aを形成する。このエミッタ開口部31aはシリコン酸化膜11xの中央部よりも小さく、エミッタ開口部31aがベース接続用開口部40に跨ることはない。

【0084】次に、図7(a)に示す工程で、CVDにより、ウエハの全面上に厚さ約30 nmのシリコン酸化膜と厚さ約150 nmのサイドウォール用ポリシリコン膜とを堆積する。そして、異方性ドライエッチングにより、シリコン酸化膜及びサイドウォール用ポリシリコン膜をエッチバックして、ポリシリコン膜31x及びシリコン酸化膜32xのエミッタ開口部31aにおける側面上に、酸化膜サイドウォール33とポリシリコンサイドウォール34とを形成する。

【0085】次に、図7(b)に示す工程で、フッ酸等によるウエットエッチングを行い、シリコン酸化膜11x及び酸化膜サイドウォール33のうち露出している部分を除去する。このとき、エミッタ開口部31aにおいて、Siキャップ層9が露出する。また、ウエットエッチングは等方性であることから、シリコン酸化膜11x及び酸化膜サイドウォール33が横方向にもエッチングされ、拡大したシリコン酸化膜11xの内側面が、最終的なエミッタ開口部11aを形成する。

【0086】次に、図7(c)に示す工程で、高濃度のリン(P)を含む厚さが約250 nmのポリシリコン膜

を堆積した後、フォトレジスト膜17Dをマスクとするドライエッチングによってポリシリコン膜をパターンニングすることにより、エミッタ引き出し電極10を形成する。

【0087】次に、図7(d)に示す工程で、フォトレジスト膜17Dを除去した後、新たなフォトレジスト膜17Eをマスクとするドライエッチングにより、シリコン酸化膜32x、ポリシリコン膜31x及びシリコン酸化膜11xをパターンニングして、ベース引き出し電極31を形成するとともに、シリコン酸化膜11xのうちベース引き出し電極31の下方に存在する下敷き酸化膜11となる部分以外の部分を除去する。

【0088】次に、図7(e)に示す工程で、フォトレジスト膜17Eを除去した後、ウエハ上に被覆用酸化膜18を形成する。

【0089】次に、図8(a)に示す工程で、900℃、15秒間の条件で、急速加熱処理(RTA)を行なって、エミッタ引き出し電極10中のリンをSiキャップ層9内に拡散させて、Siキャップ層9のうちエミッタ開口部11aの下方に位置する領域にエミッタ拡散層9aを形成する。

【0090】次に、図8(b)に示す工程で、被覆用酸化膜18及びシリコン酸化膜32xを異方性エッチングによりエッチングして、エミッタ引き出し電極10とベース引き出し電極31との間に電極間絶縁膜32を形成するとともに、エミッタ引き出し電極10及び電極間絶縁膜32の側面と、ベース引き出し電極31の側面とに、シリコン酸化膜からなるサイドウォール20を形成する。

【0091】次に、図8(c)に示す工程で、ウエハ上に露出しているエミッタ引き出し電極10と、ベース引き出し電極31と、コレクタウォール層3bとの上に厚み約40 nmのチタン膜を堆積した後、熱処理によりチタンとシリコンとを反応させて、エミッタ引き出し電極10、ベース引き出し電極31、及びコレクタウォール層3bの上に、シリサイド層(チタンシリサイド層)21を形成する。

【0092】次に、図8(d)に示す工程で、ウエハ上に、BSG膜からなる層間絶縁膜13を堆積する。さらに、層間絶縁膜13に、エミッタ引き出し電極10、ベース引き出し電極31、コレクタウォール層3bにそれぞれ到達する接続孔を形成した後、各接続孔にタングステンを埋め込んで、エミッタ引き出し電極10、ベース引き出し電極31、コレクタウォール層3bの表面部に形成されたシリサイド層21に接触するタングステンプラグ12を形成する。その後、層間絶縁膜13の上に、各タングステンプラグ12に接続されるアルミニウムからなる金属配線14を形成する。これにより、図5(a)、(b)に示すHBTの構造が実現する。

【0093】本実施形態の製造工程によれば、図6

(b) に示す工程で、比較的高濃度のP型不純物を含むSiキャップ層9を形成し、図8(a)に示す工程で、このSiキャップ層9のうちエミッタ開口部11aの下方に位置する領域に高濃度のN型不純物であるリンを拡散させて、エミッタ拡散層9aを形成している。つまり、Siキャップ層9のうち中央部はエミッタ拡散層9aとなりそれ以外の領域9bは外部ベース層の一部となる。

【0094】したがって、従来のHBTのごとくアンドープのSiキャップ層が設けられているのに比べて、外部ベース層のうち下敷き酸化膜11の下方に位置する領域(リンク領域)の抵抗値を低減することができる。すなわち、本実施形態のHBTの製造方法により、上述のごとく、最大発振周波数 f_{max} が高い、低雑音化されたHBTを容易に形成することができるのである。

【0095】なお、本実施形態のHBTの製造工程において、図6(c)に示すボロンのイオン注入工程は省略してもよい。Siキャップ層9に高濃度のボロンがドーピングされているので、外部ベース注入領域Bexが存在していなくても、外部ベース層全体の抵抗値を十分小さく維持することができるからである。

【0096】また、図6(b)に示すSiキャップ層9のエピタキシャル成長の際、in-situ ドープによってSiキャップ層9全体にボロンをドーピングする必要はなく、Siキャップ層9の少なくとも下部にボロンをドーピングしておけばよい。その場合にも、その後の熱処理によって、ベース引き出し電極31からnボロンがSiキャップ層9に拡散するので、外部ベース層全体の抵抗値を小さく維持することは可能である。

【0097】次に、本発明のHBTの効果に関するデータについて説明する。図9(a)、(b)及び図10(a)、(b)は、本発明の効果を示すためのSiGe-HBT断面構造におけるホール電流密度分布をシミュレーションした結果を示す図である。図9(a)、

(b)はいずれもSiキャップ層の厚みが20nmの場合におけるシミュレーション結果を示し、図9(a)はSiキャップ層におけるボロン濃度が $1 \times 10^{17} \text{atoms} \cdot \text{cm}^{-3}$ の場合、図9(b)はSiキャップ層におけるボロン濃度が $2 \times 10^{18} \text{atoms} \cdot \text{cm}^{-3}$ の場合をそれぞれ示す。また、図10(a)、(b)はいずれもSiキャップ層の厚みが30nmの場合におけるシミュレーション結果を示し、図10(a)はSiキャップ層におけるボロン濃度が $1 \times 10^{17} \text{atoms} \cdot \text{cm}^{-3}$ の場合、図10(b)はSiキャップ層におけるボロン濃度が $2 \times 10^{18} \text{atoms} \cdot \text{cm}^{-3}$ の場合をそれぞれ示す。

【0098】図9(a)に示されるように、Siキャップ層におけるボロン濃度が $1 \times 10^{17} \text{atoms} \cdot \text{cm}^{-3}$ の場合には、Siキャップ層にはわずかしきホール電流が流れずほとんどのホール電流が傾斜SiGeベース層を通過している。つまり、Siキャップ層のうち下敷き酸

化膜の下方の部分は実質的には外部ベース層として十分機能していない。したがって、リンク領域Blinkにおける抵抗成分Rlinkが比較的大きいままである。ところが、図9(b)に示されるように、Siキャップ層におけるボロン濃度が $2 \times 10^{18} \text{atoms} \cdot \text{cm}^{-3}$ の場合には、Siキャップ層と傾斜SiGeベース層とに均一にホール電流が流れており、Siキャップ層のうちエミッタ拡散層を除く部分全体が外部ベース層の一部として十分機能していることがわかる。したがって、外部ベース層中のリンク領域Blinkにおける抵抗成分Rlinkが十分小さくなる。また、図10(a)、(b)を互いに比べても同様のことがわかる。

【0099】次に、図11は、本発明のダブルポリシリコン型HBTのSiキャップ層におけるボロンのドーピング濃度と厚みとを変化させたときのコレクタ電流(A)と、電流利得遮断周波数 f_T との相関関係を示す図である。同図において、横軸はコレクタ電流(A)を表し、縦軸は電流利得遮断周波数 f_T (GHz)を表している。同図に示すように、Siキャップ層の厚みを大きくし、ボロン濃度を高くしても、電流利得遮断周波数 f_T はほとんど低下しないことがわかる。

【0100】図12は、Siキャップ層におけるボロンのドーピング濃度と厚みとを変化させたときのベース電圧(V)に対するベース電流(A)の依存性をシミュレーションした結果を示す図である。同図において、横軸はベース電圧(V)を表し、縦軸はベース電流(A)を表している。ここでは、エミッタ拡散幅を0.2 μm 、エミッタ拡散長を1 μm と仮定してシミュレーションを行っている。同図に示されるように、Siキャップ層の厚みや、Siキャップ層のボロン濃度を高くすると、ベース電流の飽和が抑制され、ベース電流を0.1mA流すのに必要なベース電圧が約10mV程度小さくなっている。これにより、ベース抵抗 R_B が約100 Ω だけ低減され、式(1)に示す最大遮断周波数 f_{max} が向上することになる。

【0101】このように、本発明により、高周波特性の劣化が小さく、接合耐圧を同程度に保ったまま、ヘテロバイポーラトランジスタの低ベース抵抗が図られ、最大遮断周波数 f_{max} の増大、低雑音化が実現できる。

【0102】なお、上記各実施形態では、バイポーラトランジスタ単体の特性向上について説明してきたが、当然のことながら、バイポーラトランジスタとCMOSを集積化したBiCMOSのバイポーラ部分に本発明によるトランジスタを用いてもかまわない。

【0103】さらに、本発明の各実施形態では、NPN型SiGe-HBTを例にとって説明したが、PNP型SiGe-HBTについても、本発明を適用することにより、上記各実施形態で説明した効果を発揮することができる。

【0104】また、上記各実施形態においては、ベース

層(SiGeスペーサ層及び傾斜SiGeベース層)をSiGeにより構成したが、ベース層をSiGeC、あるいはSiとはバンドギャップの異なる他の半導体材料により構成してもよい。

【0105】

【発明の効果】本発明のバイポーラトランジスタ又はその製造方法によると、第1導電型不純物を含むコレクタ層となる第1の半導体層の上に、第2導電型不純物を含む第2の半導体層と、少なくとも下部に第2導電型不純物を含む第3の半導体層とを積層し、その後、第3の半導体層のうち一部に第1導電型不純物を導入してエミッタ拡散層を設け、第2の半導体層と第3の半導体層の少なくとも下部とによって外部ベース層中のリンク領域を構成するようにしたので、ベース抵抗の低減を図ることができ、よって、最大遮断周波数 f_{max} の高い、低雑音化されたヘテロバイポーラトランジスタの提供を図ることができる。

【図面の簡単な説明】

【図1】(a)、(b)は、第1の実施形態に係るシングルポリシリコン型のHBTの構造を示す断面図、及びエミッターベース接合部付近の構造を拡大して示す部分断面図である。

【図2】(a)～(d)は、第1の実施形態の製造工程のうちはじめからエミッタ引き出し電極用ポリシリコン膜を堆積するまでの工程を示す断面図である。

【図3】(a)～(d)は、第1の実施形態の製造工程のうちエミッタ引き出し電極の形成から被覆酸化膜を堆積するまでの工程を示す断面図である。

【図4】(a)～(d)は、第1の実施形態の製造工程のうちエミッタ引き出し電極などの側面へのサイドウォールの形成から配線の形成までの工程を示す断面図である。

【図5】(a)、(b)は、第2の実施形態に係るダブルポリシリコン型のHBTの構造を示す断面図、及びエミッターベース接合部付近の構造を拡大して示す部分断面図である。

【図6】(a)～(e)は、第2の実施形態の製造工程のうちはじめからコレクタ引き出し電極にエミッタ開口部を形成するまでの工程を示す断面図である。

【図7】(a)～(e)は、第2の実施形態の製造工程のうちエミッタ開口部の形成から被覆酸化膜を堆積するまでの工程を示す断面図である。

【図8】(a)～(d)は、第2の実施形態の製造工程のうちエミッタ拡散層の形成から配線の形成までの工程を示す断面図である。

【図9】Siキャップ層の厚みが20nmの場合における本発明の効果を示すためのHBT断面構造におけるホール電流密度分布を示す図である。

【図10】Siキャップ層の厚みが30nmの場合における本発明の効果を示すためのHBT断面構造における

ホール電流密度分布を示す図である。

【図11】本発明のダブルポリシリコン型HBTのSiキャップ層におけるボロンのドーパ濃度と厚みとを変化させたときのコレクタ電流(A)と、電流利得遮断周波数 f_T との相関関係を示す図である。

【図12】Siキャップ層におけるボロンのドーパ濃度と厚みとを変化させたときのベース電圧(V)に対するベース電流(A)の依存性をシミュレーションした結果を示す図である。

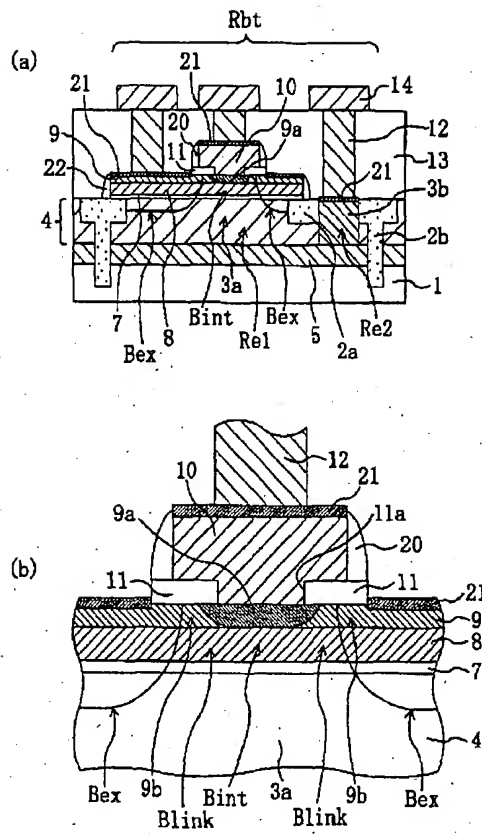
【図13】(a)、(b)は、従来のシングルポリシリコン型のSiGe-HBTの構造を示す断面図、及びエミッターベース接合部付近の構造を拡大して示す部分断面図である。

【図14】(a)、(b)は、従来のダブルポリシリコン型のSiGe-HBTの構造を示す断面図、及びエミッターベース接合部付近の構造を拡大して示す部分断面図である。

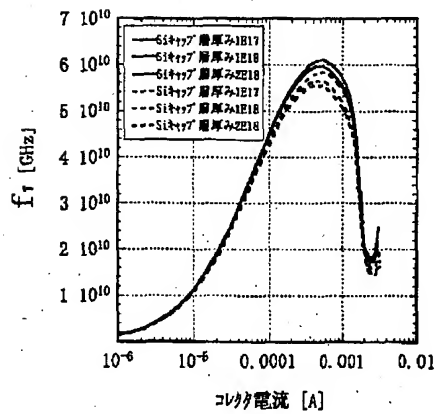
【符号の説明】

- Re1 第1の活性領域
- Re2 第2の活性領域
- Rbt HBT形成領域
- Bint 真性ベース層
- Blink リンク領域
- Bex 外部ベース注入領域
- 1 Si基板
- 2a シャロートレンチ
- 2b ディープトレンチ
- 3a Siコレクタ層
- 3b コレクタウォール層
- 4 Siエピタキシャル層
- 5 コレクタ埋め込み層
- 7 SiGeスペーサ層
- 8 傾斜SiGeベース層
- 9 Siキャップ層
- 9a エミッタ拡散層
- 10 エミッタ引き出し電極
- 11 下敷き酸化膜
- 11a エミッタ開口部
- 12 タングステンプラグ
- 13 層間絶縁膜
- 14 金属配線
- 17 フォトレジスト膜
- 20 サイドウォール
- 21 シリサイド層
- 31 ベース引き出し電極
- 32 電極間絶縁膜
- 33 酸化膜サイドウォール
- 34 ポリシリコンサイドウォール
- 40 ベース接合開口部

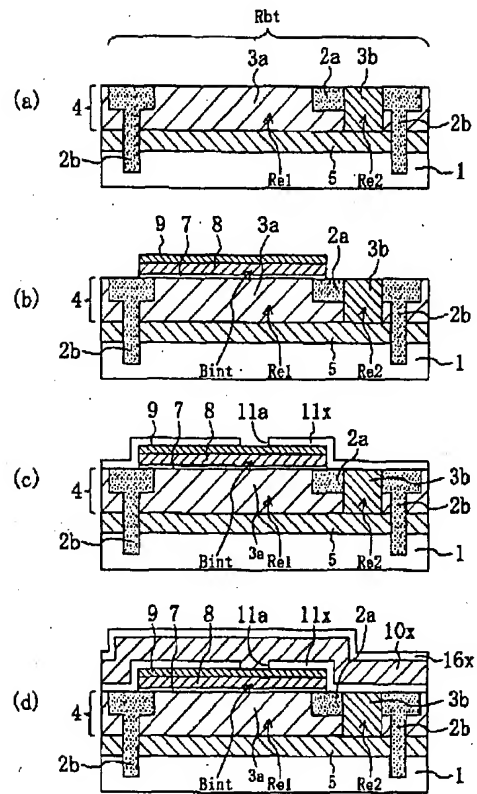
【図1】



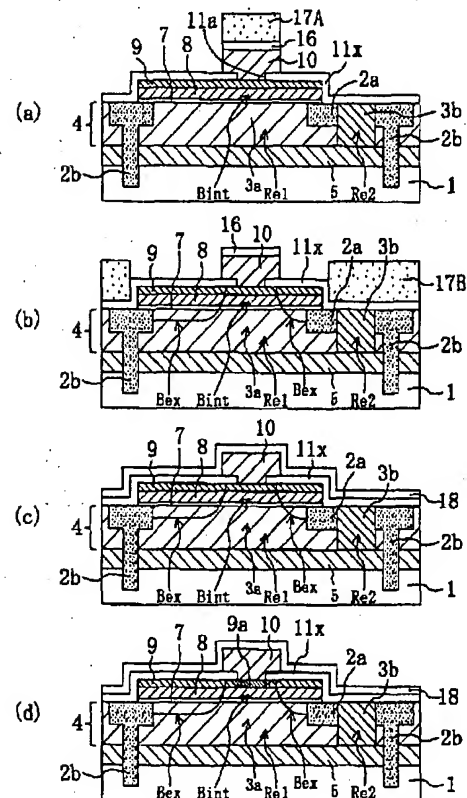
【图 11】



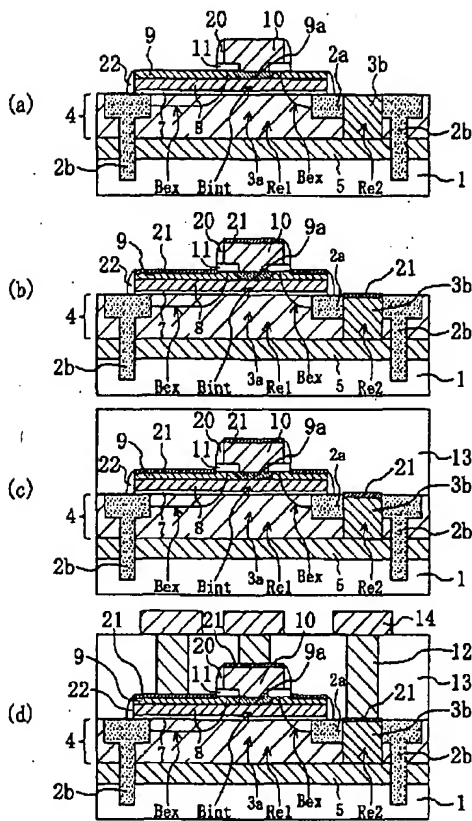
【図2】



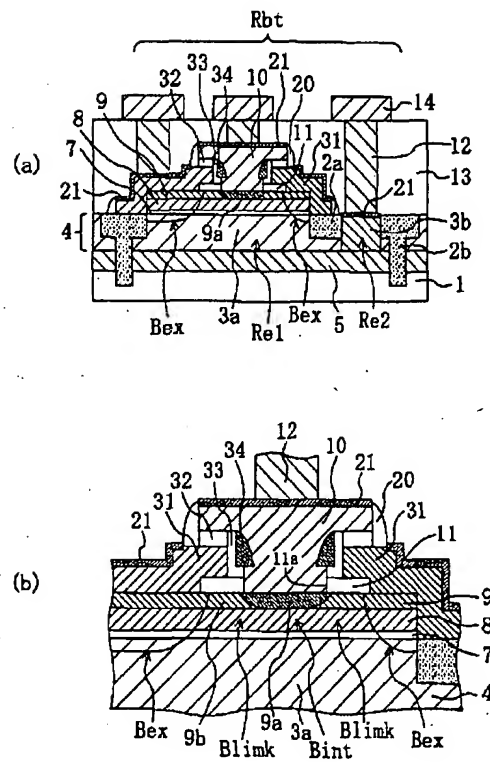
【図3】



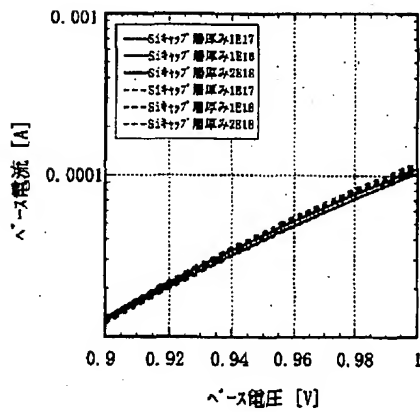
【図4】



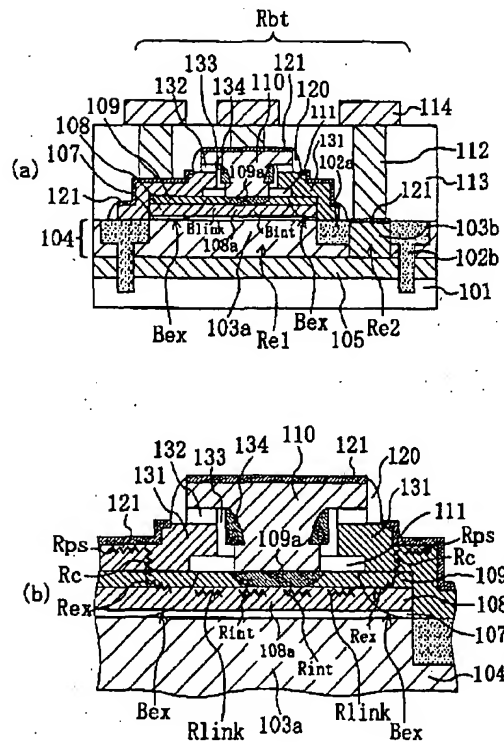
【図5】



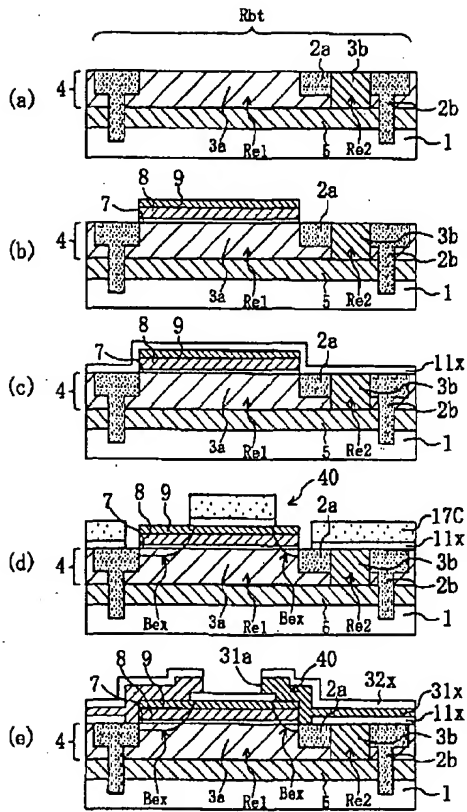
【図12】



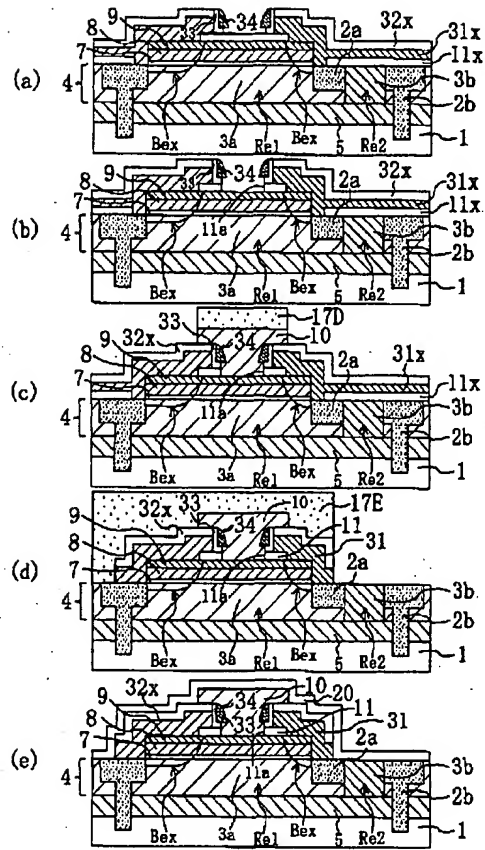
【図14】



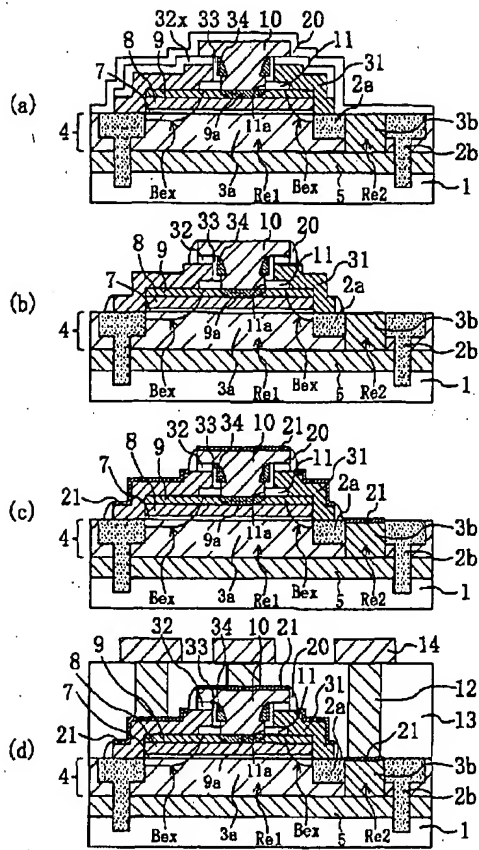
【図6】



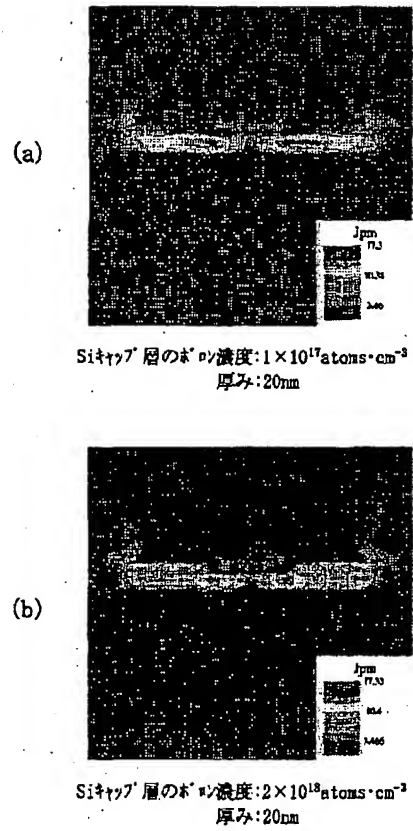
【図7】



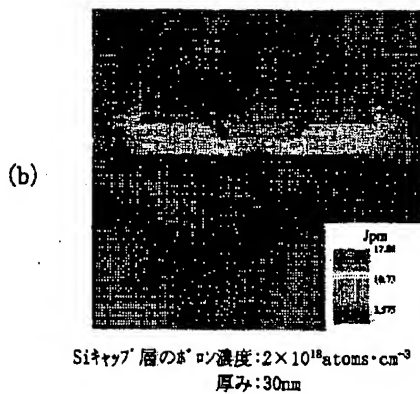
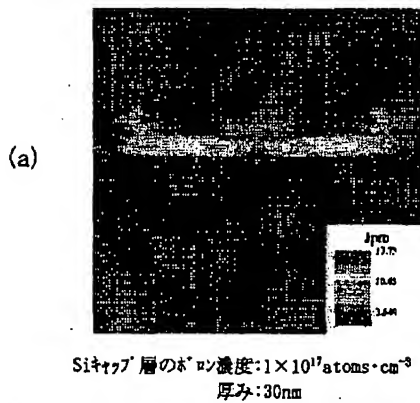
【図8】



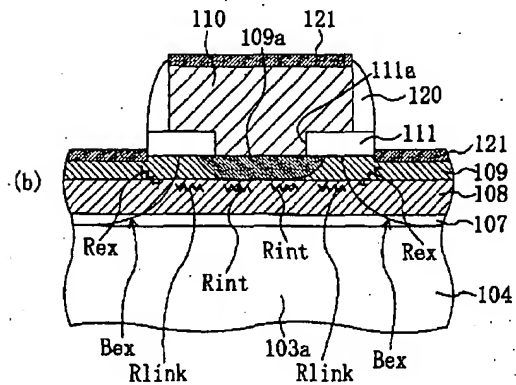
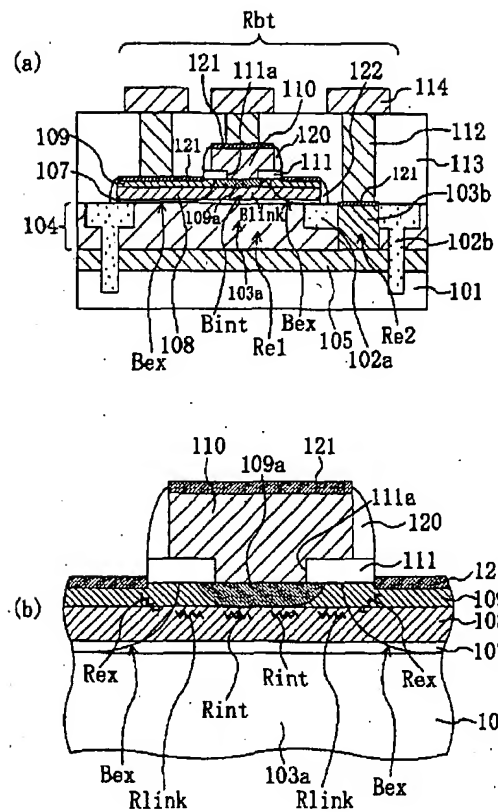
【図9】



【図10】



【图13】



フロントページの続き

(72)発明者 大西 照人
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

Fターム(参考) 5F003 AP04 AP05 BA11 BA27 BB00
BB01 BB02 BB04 BB05 BB06
BB07 BB08 BC08 BE02 BE07
BF06 BH07 BH18 BH94 BH99
BM01 BP21 BP31

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-319936

(43)Date of publication of application : 16.11.2001

(51)Int.Cl.

H01L 21/331

H01L 29/73

H01L 29/165

(21)Application number : 2000-139560

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 12.05.2000

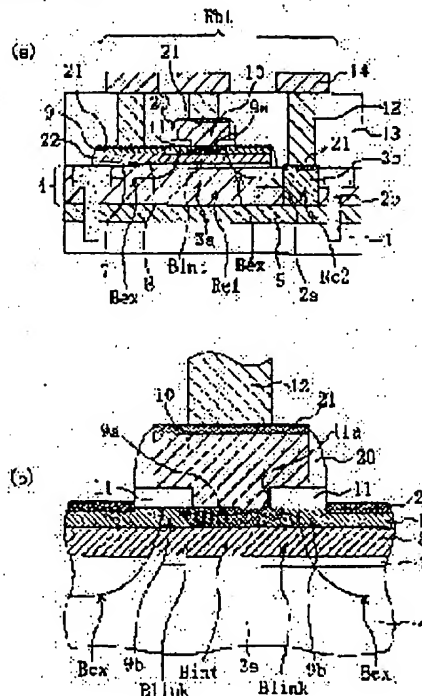
(72)Inventor :
TAKAGI TAKESHI
ASAI AKIRA
ONISHI TERUTO

(54) BIPOLAR TRANSISTOR AND MANUFACTURING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a heterobipolar transistor where the resistance of an outer base layer is small and a manufacturing method of the transistor.

SOLUTION: An undoped SiGe spacer layer 7, an inclined SiGe base layer 8 where boron is doped and an Si cap layer 9 where boron is doped are sequentially installed on an Si epitaxial layer where an Si sub-collector layer 3a is installed. A mat oxide film 11 is installed on the Si cap layer 9 and an emitter lead electrode 10 filling the emitter opening 1 of the mat oxide film 11 is installed. Phosphorus in the emitter lead electrode 10 is diffused to a part of the Si cap layer 9 and an emitter diffusion layer 9a is formed. Since a link area Rlink positioned below the mat oxide film 11 in an outer base layer is formed from the inclined SiGe base layer 8 to the Si cap layer 9, the outer base resistance is reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The 1st semiconductor layer which functions as a collector layer which is prepared on a substrate and contains the 1st conductivity-type impurity. The 2nd semiconductor layer which is prepared on the semiconductor layer of the above 1st and contains the 2nd conductivity-type impurity. The 3rd semiconductor layer which is prepared on the semiconductor layer of the above 2nd, consists of material into which a band gap differs from the semiconductor layer of the above 2nd, and contains the 2nd conductivity-type impurity in the lower part at least. The underlay insulator layer prepared on the semiconductor layer of the above 3rd. The emitter drawer electrode which is prepared in the above-mentioned underlay insulator layer, is constituted by opening which reaches the semiconductor layer of the above 3rd, and the conductor material containing the 1st conductivity-type impurity, buries opening of the above-mentioned underlay insulator layer, and contacts the semiconductor layer of the above 3rd. It is the bipolar transistor equipped with the above, and the semiconductor layer of the above 3rd has the emitter-diffusion layer of the 1st conductivity type located under the above-mentioned opening, and the semiconductor layer of the above 2nd is characterized by having the intrinsic base layer which touches the emitter-diffusion layer of the semiconductor layer of the above 1st.

[Claim 2] It is the bipolar transistor characterized by the concentration of the 2nd conductivity-type impurity of the semiconductor layer of the above 3rd contained in the lower part at least being substantially [as the concentration of the 2nd conductivity-type impurity of the semiconductor layer of the above 2nd] equal in a bipolar transistor according to claim 1.

[Claim 3] It is the bipolar transistor which the above-mentioned emitter drawer electrode is constituted in the bipolar transistor according to claim 1 or 2 by the polysilicon contest film with which the 1st conductivity-type impurity was doped, and is characterized by the emitter-diffusion layer of the semiconductor layer of the above 3rd being what is reversed to the 1st conductivity type with the 1st conductivity-type impurity diffused from the above-mentioned emitter drawer electrode.

[Claim 4] It is the single polysilicon contest type bipolar transistor characterized by pulling out the base electrode in the bipolar transistor of any one publication from the field which the above-mentioned emitter drawer electrode is constituted by the polysilicon contest film, and is located in a way outside the above-mentioned emitter drawer electrode among the above 2nd or the 3rd semiconductor layer among claims 1-3.

[Claim 5] It is the bipolar transistor characterized by equipping the above-mentioned emitter drawer electrode with the base drawer electrode constituted by contest polysilicon by which it is constituted with the polysilicon contest film, and was prepared in contact with the portion located in a way outside the above-mentioned underlay insulator layer among the semiconductor layers of the above 3rd, and the 2nd conductivity-type impurity was doped further in the bipolar transistor of any one publication among claims 1-3.

[Claim 6] It is the bipolar transistor which the above-mentioned substrate is a silicon substrate, the semiconductor layer of the above 1st is an Si layer, and the semiconductor layer of the above 2nd is a SiGe layer, and is characterized by the semiconductor layer of the above 3rd being an Si layer in the bipolar transistor of any one publication among claims 1-5.

[Claim 7] The manufacture method of a bipolar transistor characterized by providing the following. The process which forms the 2nd semiconductor layer used as the base layer containing the 2nd conductivity-type impurity on the 1st semiconductor layer used as the collector layer containing the 1st conductivity-type impurity on a substrate (a) The process which forms the 3rd semiconductor layer which consists of material into which a band gap differs from the semiconductor layer of the above 2nd, and contains the 2nd conductivity-type impurity in the lower part at least by epitaxial growth on the semiconductor layer of the above 2nd (b) The process which deposits an underlay insulator layer on a substrate (c) The process (d) which forms in the above-mentioned underlay insulator layer opening which reaches the semiconductor layer of the above 3rd, and the process which introduces the 1st conductivity-type impurity into the field in which it is located under the above-mentioned opening among the semiconductor layers of the above 3rd, and forms an emitter-diffusion layer (e).

[Claim 8] In the manufacture method of a bipolar transistor according to claim 7 after the above-mentioned process (d) before the above-mentioned process (e) The process which forms the emitter drawer electrode containing the 1st conductivity-type impurity which carries out patterning of the film, buries opening of the above-mentioned underlay insulator layer, and is prolonged on the above-mentioned underlay insulator layer is included further. a substrate top -- a conductor -- the above after depositing a film -- a conductor -- The above-mentioned process (e) is the manufacture method of the bipolar transistor characterized by being carried out by heat treatment by making the semiconductor layer of the above 3rd diffuse the 1st conductivity-type impurity in the above-mentioned emitter drawer electrode.

[Claim 9] The manufacture method of the bipolar transistor characterized by forming the above-mentioned opening by wet

etching in the above-mentioned process (d) in the manufacture method of a bipolar transistor according to claim 7 or 8.

[Claim 10] In the manufacture method of a bipolar transistor according to claim 7 after the above-mentioned process (d) a substrate top -- a conductor -- this the insulator layer for masks and after depositing a film and the insulator layer for masks, and a conductor -- with the process which carries out patterning of the film and forms a mask film and an emitter drawer electrode By performing the ion implantation of the 2nd conductivity-type impurity by using the above-mentioned mask film and an emitter drawer electrode as a mask The above 2nd, the manufacture method of the bipolar transistor characterized by including further the process which forms an external base pouring layer in the field located in a way outside the above-mentioned emitter drawer electrode among the 3rd semiconductor layer.

[Claim 11] The process which forms a wrap mask member for a part of semiconductor layer of the above 3rd on the above-mentioned underlay insulator layer before the above-mentioned process (d) after the above-mentioned process (c) in the manufacture method of a bipolar transistor according to claim 8, By performing the ion implantation of the 2nd conductivity-type impurity by etching using the above-mentioned mask member, using the above-mentioned mask member, after carrying out patterning of the underlay insulator layer so that a part of semiconductor layer of the above 3rd may be covered The process which forms an external base pouring layer in the field located in a way outside the above-mentioned underlay insulator layer among the above 2nd and the 3rd semiconductor layer, after formation of the above-mentioned external base pouring layer, and a substrate top -- the above -- a conductor -- a conductor different from a film -- the conductor according to above after depositing a film -- with the process which forms in a film opening which reaches the above-mentioned underlay insulator layer The process which forms the side-attachment-wall protective coat of wrap insulation for the side of membranous opening is included further. the conductor according to above -- the above-mentioned process (d) while being carried out after the process which forms the above-mentioned side-attachment-wall protective coat -- after the above-mentioned process (d) -- a substrate top -- a conductor -- after depositing a film -- this -- a conductor -- the manufacture method of the bipolar transistor characterized by including further the process which carries out patterning of the film and forms an emitter drawer electrode

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the structure and the manufacture method of an element of realizing highly efficient-ization of a bipolar transistor.

[0002]

[Description of the Prior Art] While reducing base capacity by forming an emitter layer and an external base layer in a self-adjustment target conventionally, development of the self-adjustment type bipolar transistor which is going to raise the rapidity of operation of a bipolar transistor more is furthered by making base resistance small.

[0003] Maximum oscillation frequency f_{max} of a bipolar transistor In order to aim at improvement, as it is shown in the following formula (1), it is the current-gain cut off frequency f_T . Improvement and base resistance R_B It turns out that reduction and reduction of the capacity CBC between base-collectors are effective.

[0004]

$f_{max} = \text{root} (f_T / 8 \pi R_B, \text{ and CBC})$ (1)

f_T : current-gain cut off frequency R_B : Base-resistance CBC: It is base resistance R_B also in an improvement of base collector junction capacity above-mentioned each parameter. Decreasing is a technical problem from a certain thing also with the most important effect of improving a noise property. For that purpose, it is required not only the reduction in resistance of an intrinsic base layer but to realize low resistance-ization of the external base layer for contacting a base electrode.

[0005] Moreover, the hetero-bipolar transistor (SiGe-HBT) which used for the base layer the material of the SiGe system which is an IV-IV group compound producible on a silicon wafer attracts attention in recent years.

[0006] SiGe-HBT is the thing (L.Harame et al., "Optimization of SiGe HBT Technology for High Speed Analog and Mixed-Signal Applications," IEDM Tech.Dig.1993, p.71.) of the inclination composition base structure to which turned germanium content of a SiGe base layer to the collector side, and it was made to increase from an emitter side gradually. It is typical.

[0007] With this inclination composition base structure, the carrier injected into the base layer carries out the drift run of the base layer by the electric field by inclination composition. Since it is high-speed compared with a run according [a run of the carrier by the drift field] to diffusion, shortening of the base transit time is achieved and the good RF property is acquired. Moreover, SiGe-HBT Since a current amplification factor does not fall compared with the bipolar transistor by conventional silicon then even if it makes high impurity concentration of a base layer high, base resistance is reduced as a result, and it is f_{max} . Improvement and low noise-ization are attained. Thus, since SiGe-HBT excellent in the RF property is producible using a general-purpose silicon process, it is used also for BiCMOS devices, such as IC for RF radio.

[0008] Drawing 13 (a) and (b) are the cross section showing the structure of SiGe-HBT of the conventional single polysilicon contest type, and the fragmentary sectional view expanding and showing the structure near the emitter-base-junction section.

[0009] As shown in drawing 13 (a), the Si epitaxial layer 104 is formed on the collector embedding layer 105 of the Si substrate 101, and shallow trench 102a for dividing an active region is prepared in this Si epitaxial layer 104. Moreover, deep trench 102b which is prolonged further caudad and reaches the method of the back of the Si substrate 101 rather than shallow trench 102a is prepared. The HBT formation field R_{bt} is enclosed by this deep trench 102b, and the HBT formation field R_{bt} is divided by shallow trench 102a at the 1st active region $Re\ 1$ and the 2nd active region $Re\ 2$. And in the field located above the collector embedding layer 105 in the Si epitaxial layer 104, Si collector-layer 103a is prepared in the 1st active region $Re\ 1$, and collector wall layer 103b is prepared in the 2nd active region $Re\ 2$, respectively. Furthermore, on the active region $Re\ 1$ of [1st] the Si epitaxial layers 104, the SiGe spacer layer 107 with a thickness of 20nm is formed for germanium content formed of epitaxial growth at about 15%. This SiGe spacer layer 107 is for suppressing formation of the Pallas tick barrier (parasitism barrier) by diffusion of boron, and is an undoping layer by which the impurity is not doped. Moreover, on the SiGe spacer layer 107, the inclination SiGe base layer 108 from which germanium content decreases [% / 15] toward the upper part, and has become 0% by the upper limit is formed. The thickness of this inclination SiGe base layer 108 is about 40nm, and is in-situ in the inclination SiGe base layer 108. Boron is introduced by doping. Furthermore, on the inclination SiGe base layer 108, Si cap layer 109 of undoping with a thickness of about 20nm formed of epitaxial growth is formed.

[0010] Moreover, on Si cap layer 109, the underlay oxide film 111 which consists of a silicon oxide is formed, and emitter opening 111a to which a part of Si cap layer 109 is exposed is formed in the underlay oxide film 111. And emitter opening 111a of the underlay oxide film 111 is buried, and the emitter drawer electrode 110 which consists of a polysilicon contest film with

which Lynn prolonged on the underlay oxide film 111 was doped is formed. On the other hand, emitter-diffusion layer 109a by which Lynn by the diffusion from the emitter drawer electrode 110 was doped is formed in the field in which it is located under the emitter opening 111a among the above-mentioned Si cap layers 109.

[0011] and emitter-diffusion layer 109a is direct among the inclination SiGe base layers 108 -- the field in which it is located caudad -- intrinsic base layer Bint it is. Moreover, the boron (B) which is a P type impurity is doped with an ion implantation by the field located in a way outside the emitter drawer electrode 110 among the SiGe spacer layer 107, the inclination SiGe base layer 108, and Si cap layer 109, the external base pouring layer Bex is formed in it, and this external base pouring field Bex has become a part of external base layer. Moreover, the underlay oxide film 111 sets caudad among the inclination SiGe base layers 8, and it is the intrinsic base layer Bint. The link field Blink inserted into the external base pouring field Bex has become a part of external base layer.

[0012] In addition, the sidewall 120,122 which consists of a silicon oxide, respectively is formed in the side of the emitter drawer electrode 110, and the side of a cascade screen which consists of Si cap layer 109, a SiGe inclination SiGe base layer 108, and a SiGe spacer layer 107. Furthermore, on the wafer, the layer insulation film 113 which consists of a BSG (Boron Silicate Glass) film is formed. the connection which reaches the layer insulation film 113 at the emitter drawer electrode 110, Si cap layer 109, and collector wall layer 103b, respectively -- a hole prepares -- having -- **** -- each connection -- the tungsten plug 112 in contact with the emitter drawer electrode 110, Si cap layer 109, and the silicide layer 121 formed in the surface section of collector wall layer 103b is embedded at the hole. Moreover, on the layer insulation film 113, the metal wiring 114 connected to each tungsten plug 112 is formed.

[0013] Here, a process can be advanced so that an etching damage may not be given to the surface section of Si cap layer 109 which becomes possible [using UETTOETCHI] in case opening of the emitter opening 111a is carried out to the underlay oxide film 111, and becomes emitter-diffusion layer 109a by the underlay oxide film 111 being formed behind.

[0014] Drawing 14 (a) and (b) are the cross section showing the structure of SiGe-HBT of the conventional double polysilicon contest type, and the fragmentary sectional view expanding and showing the structure near the emitter-base-junction section.

[0015] As shown in drawing 14 (a), the Si epitaxial layer 104 is formed on the collector embedding layer 105 of the Si substrate 101, and shallow trench 102a for dividing an active region is prepared in this Si epitaxial layer 104. Moreover, deep trench 102b which is prolonged further caudad and reaches the method of the back of the Si substrate 101 rather than shallow trench 102a is prepared. The HBT formation field Rbt is enclosed by this deep trench 102b, and the HBT formation field Rbt is divided by shallow trench 102a at the 1st active region Re 1 and the 2nd active region Re 2. And in the field located above the collector embedding layer 105 in the Si epitaxial layer 104, Si collector-layer 103a is prepared in the 1st active region Re 1, and collector wall layer 103b is prepared in the 2nd active region Re 2, respectively. Furthermore, on the active region Re 1 of [1st] the Si epitaxial layers 104, the SiGe spacer layer 107 with a thickness of 20nm is formed for germanium content formed of epitaxial growth at about 15%. This SiGe spacer layer 7 is for suppressing formation of the Pallas tick barrier (parasitism barrier) by diffusion of boron, and is an undoping layer by which the impurity is not doped. Moreover, on the SiGe spacer layer 107, the inclination SiGe base layer 108 from which germanium content decreases [% / 15] toward the upper part, and has become 0% by the upper limit is formed. The thickness of this inclination SiGe base layer 108 is about 40nm, and is in-situ in the inclination SiGe base layer 108. Boron is introduced by doping. Furthermore, on the inclination SiGe base layer 108, Si cap layer 109 of undoping with a thickness of about 20nm formed of epitaxial growth is formed. Moreover, on Si cap layer 109, the underlay oxide film 111 which consists of a silicon oxide is formed, and emitter opening 111a to which a part of Si cap layer 109 is exposed is formed in the underlay oxide film 111. And the emitter drawer electrode 110 which consists of contest polysilicon with which emitter opening 111a of the underlay oxide film 111 is fill uped is formed.

[0016] On the other hand, emitter-diffusion layer 109a by which Lynn by the diffusion from the emitter drawer electrode 110 was doped is formed in the field in which it is located under the emitter opening 111a among the above-mentioned Si cap layers 109.

[0017] Moreover, on the underlay oxide film 111, the base drawer electrode 131 which consists of a polysilicon contest film with which the P type impurity was doped, and the inter-electrode insulator layer 132 which consists of a silicon oxide are formed. Opening of the portion located above emitter opening 111a of the underlay oxide film 111 among the base drawer electrode 131 and the inter-electrode insulator layer 132 is carried out, the oxide-film sidewall 133 is formed in the side of the base drawer electrode 121 and the inter-electrode insulator layer 132, and the polysilicon contest sidewall 134 is further formed on the oxide-film sidewall 133. And the above-mentioned emitter drawer electrode 110 buried emitter opening 111a, and has countered with the base drawer electrode 131 on both sides of the polysilicon contest sidewall 134. and the oxide-film sidewall 133. That is, while the emitter drawer electrode 110 and the base drawer electrode 131 are insulated electrically, diffusion of the impurity from the base drawer electrode 131 to the emitter drawer electrode 110 is prevented by the oxide-film sidewall 133. Moreover, the upper surface of the base drawer electrode 131 and the emitter drawer electrode 110 of each other are insulated by the inter-electrode insulator layer 132.

[0018] and emitter-diffusion layer 109a is direct among the inclination SiGe base layers 108 -- the field in which it is located caudad -- intrinsic base layer Bint it is. Moreover, the boron (B) which is a P type impurity is doped with an ion implantation by the field located in a way outside the underlay oxide film 111 among the SiGe spacer layer 107, the inclination SiGe base layer 108, and Si cap layer 109, the external base pouring layer Bex is formed in it, and this external base pouring field Bex has become a part of external base layer. Moreover, the underlay oxide film 111 sets caudad among the inclination SiGe base layers 8, and it is the intrinsic base layer Bint. The link field Blink inserted into the external base pouring field Bex has become a part of external base layer.

[0019] In addition, the sidewall 120 which consists of a silicon oxide is formed in the lateral surface of the emitter drawer

electrode 110 and the inter-electrode insulator layer 132, and the lateral surface of the base drawer electrode 131.

[0020] Furthermore, on the wafer, the layer insulation film 113 which consists of a BSG (Boron Silicate Glass) film is formed. the connection which reaches the layer insulation film 113 at the emitter drawer electrode 110, the base drawer electrode 131, and collector wall layer 103b, respectively -- a hole prepares -- having -- **** -- each connection -- the tungsten plug 112 in contact with the emitter drawer electrode 110, the base drawer electrode 131, and the silicide layer 121 formed in the surface section of collector wall layer 103b is embedded at the hole. Moreover, on the layer insulation film 113, the metal wiring 114 connected to each tungsten plug 112 is formed.

[0021]

[Problem(s) to be Solved by the Invention] However, there are the following faults in the structure and the process flow of SiGe-HBT of the above-mentioned former.

[0022] It sets to SiGe-HBT of the conventional single polysilicon contest type shown in above-mentioned drawing 13 (a) and (b), and is base resistance RB. It was difficult to decrease. Drawing 13 (b) shows the resistance component of the base resistance RB (resistance RB from the silicide layer 121 to intrinsic base region Bint of an emitter-diffusion layer 109a directly under) of single polysilicon contest type SiGe-HBT. That is, base resistance RB The following formula (2)

$$RB = R_{ex} + R_{link} + R_{int} \quad (2)$$

R_{ex} : resistance component R_{int} of the link field R_{link} in the resistance component R_{link} : external base layer of the external base pouring field B_{ex} in an external base layer : Intrinsic base layer B_{int} It is expressed by the resistance component.

[0023] At this time, the resistance component R_{link} of the above-mentioned link field is a resistance component peculiar to SiGe-HBT which cannot form emitter opening by dry etching. Since high impurity concentration of an inclination SiGe base layer can be made high in SiGe-HBT, they are original and base resistance RB. Although it should become low, there is fault that an original low base resistance property cannot fully be demonstrated because of this resistance component R_{link} .

[0024] On the other hand, since the underlay oxide film 111 is needed also in the manufacturing process of double polysilicon contest type SiGe-HBT in order to form emitter opening 111a more sentimentally dirtily, there is the same problem as single polysilicon contest type SiGe-HBT. Drawing 14 (b) shows the component of the base resistance RB (resistance RB from the silicide layer 121 to the intrinsic base region of an emitter-diffusion layer 109a directly under) of double polysilicon contest type SiGe-HBT. That is, base resistance RB The following formula (3)

$$RB = R_{ps} + R_c + R_{ex} + R_{link} + R_{int} \quad (3)$$

R_{ps} : resistance R_c of a base drawer electrode : Contact resistance R_{ex} between base drawer electrode-Si cap layers : The resistance component R_{link} of the external base pouring field B_{ex} in an external base layer: Resistance component R_{int} of the link field B_{link} in an external base layer : Intrinsic base layer B_{int} It is expressed by the resistance component.

[0025] At this time, the resistance component R_{link} of the link field B_{link} is a resistance component peculiar to SiGe-HBT which cannot form emitter opening by dry etching, and has the fault that an original low base resistance property cannot fully be demonstrated because of this resistance component R_{link} , as mentioned above.

[0026] The purpose of this invention is by adopting a means to reduce base resistance in SiGe-HBT which made the underlay oxide film intervene between an emitter drawer electrode and a SiGe base layer to offer the hetero-bipolar transistor which was excellent in RF properties, such as the maximum cut off frequency, and its manufacture method.

[0027]

[Means for Solving the Problem] The 1st semiconductor layer which functions as a collector layer which the bipolar transistor of this invention is prepared on a substrate, and contains the 1st conductivity-type impurity, The 2nd semiconductor layer which is prepared on the semiconductor layer of the above 1st and contains the 2nd conductivity-type impurity, The 3rd semiconductor layer which is prepared on the semiconductor layer of the above 2nd, consists of material into which a band gap differs from the semiconductor layer of the above 2nd, and contains the 2nd conductivity-type impurity in the lower part at least, The underlay insulator layer prepared on the semiconductor layer of the above 3rd, and opening which is prepared in the above-mentioned underlay insulator layer, and reaches the semiconductor layer of the above 3rd, In the bipolar transistor equipped with the emitter drawer electrode which is constituted by the conductor material containing the 1st conductivity-type impurity, buries opening of the above-mentioned underlay insulator layer, and contacts the semiconductor layer of the above 3rd The semiconductor layer of the above 3rd has the emitter-diffusion layer of the 1st conductivity type located under the above-mentioned opening, and the semiconductor layer of the above 2nd has the intrinsic base layer which touches the emitter-diffusion layer of the semiconductor layer of the above 1st.

[0028] Thereby, resistance of the portion which contains the 2nd conductivity-type impurity of the 3rd semiconductor layer since the 2nd conductivity-type impurity is contained in the lower part at least of the 3rd semiconductor layer decreases. Therefore, the whole base resistance will be reduced and the bipolar transistor which was excellent in RF properties, such as the maximum cut off frequency, is obtained.

[0029] By making equal substantially concentration of the 2nd conductivity-type impurity of the semiconductor layer of the above 3rd contained in the lower part at least with the concentration of the 2nd conductivity-type impurity of the semiconductor layer of the above 2nd, the resistance of a direction along the substrate side of the 2nd and 3rd semiconductor layer can be equalized, and the RF property of a bipolar transistor will improve further.

[0030] The emitter-diffusion layer used as the base element of a bipolar transistor is obtained doping the 2nd conductivity-type impurity in the 3rd semiconductor layer, and attaining low resistance-ization by the polysilicon contest film with which the 1st conductivity-type impurity was doped constituting the above-mentioned emitter drawer electrode, and having been reversed to the 1st conductivity type with the 1st conductivity-type impurity which diffused the emitter-diffusion layer of the semiconductor layer

of the above 3rd from the above-mentioned emitter drawer electrode.

[0031] The polysilicon contest film constitutes the above-mentioned emitter drawer electrode, and a single polysilicon contest with which the external base layer was formed into low resistance by pulling out a base electrode from the field located in a way outside the above-mentioned emitter drawer electrode among the above 2nd or the 3rd semiconductor layer] type hetero-bipolar transistor is obtained.

[0032] The polysilicon contest film constitutes the above-mentioned emitter drawer electrode, it is prepared in contact with the portion located in a way outside the above-mentioned underlay insulator layer among the semiconductor layers of the above 3rd, and a double polysilicon contest [with which the external base layer was formed into low resistance] type hetero-bipolar transistor is obtained by having further the base drawer electrode constituted by contest polysilicon by which the 2nd conductivity-type impurity was doped.

[0033] The hetero-bipolar transistor which can be formed is easily obtained using the process of a silicon device by making the above-mentioned substrate into a silicon substrate, using the semiconductor layer of the above 1st as Si layer, using the semiconductor layer of the above 2nd as a SiGe layer, and using the semiconductor layer of the above 3rd as Si layer.

[0034] The manufacture method of the bipolar transistor of this invention The process which forms the 2nd semiconductor layer used as the base layer containing the 2nd conductivity-type impurity on the 1st semiconductor layer used as the collector layer containing the 1st conductivity-type impurity on a substrate (a), The process which forms the 3rd semiconductor layer which consists of material into which a band gap differs from the semiconductor layer of the above 2nd, and contains the 2nd conductivity-type impurity in the lower part at least by epitaxial growth on the semiconductor layer of the above 2nd (b), The process (c) which deposits an underlay insulator layer on a substrate, and the process which forms in the above-mentioned underlay insulator layer opening which reaches the semiconductor layer of the above 3rd (d), The 1st conductivity-type impurity is introduced into the field in which it is located under the above-mentioned opening among the semiconductor layers of the above 3rd, and the process (e) which forms an emitter-diffusion layer is included.

[0035] The field in which it is located under [direct] the emitter-diffusion layer among the 2nd semiconductor layer functions as an intrinsic base layer, and outside an intrinsic base layer, in a way, even if there are few 2nd semiconductor layers and 3rd semiconductor layers, by this method, the low field [lower part] of resistance functions as an external base layer. And in the link field located in the method of directly under of an underlay insulator layer among external base layers, since the resistance of the portion by which the 2nd conductivity-type impurity of the 3rd semiconductor layer is doped decreases, a hetero-bipolar transistor with the small resistance of the whole external base layer will be obtained.

[0036] after the above-mentioned process (d) -- before the above-mentioned process (e) -- a substrate top -- a conductor, after depositing a film The process which forms the emitter drawer electrode containing the 1st conductivity-type impurity which carries out patterning of the film, buries opening of the above-mentioned underlay insulator layer, and is prolonged on the above-mentioned underlay insulator layer is included further. the above -- a conductor -- the above-mentioned process (e) with heat treatment By carrying out by making the semiconductor layer of the above 3rd diffuse the 1st conductivity-type impurity in the above-mentioned emitter drawer electrode, the conductivity type of the 3rd semiconductor layer can be reversed easily, and an emitter-diffusion layer can be formed.

[0037] In the above-mentioned process (d), the hetero-bipolar transistor which has the emitter-diffusion layer which does not almost have an etching damage is obtained by forming the above-mentioned opening by wet etching.

[0038] after the above-mentioned process (d) -- a substrate top -- a conductor -- this the insulator layer for masks and after depositing a film and the insulator layer for masks, and a conductor -- with the process which carries out patterning of the film and forms a mask film and an emitter drawer electrode By performing the ion implantation of the 2nd conductivity-type impurity by using the above-mentioned mask film and an emitter drawer electrode as a mask By including further the process which forms an external base pouring layer in the field located in a way outside the above-mentioned emitter drawer electrode among the above 2nd and the 3rd semiconductor layer The hetero-bipolar transistor which has the external base layer by which resistance was equalized can be formed using a single polysilicon contest process.

[0039] Before the above-mentioned process (d), a part of semiconductor layer of the above 3rd on the above-mentioned underlay insulator layer after the above-mentioned process (c) by the process which forms a wrap mask member, and the dry etching using the above-mentioned mask-member After carrying out patterning of the underlay insulator layer so that a part of semiconductor layer of the above 3rd may be covered, by performing the ion implantation of the 2nd conductivity-type impurity using the above-mentioned mask member The process which forms an external base pouring layer in the field located in a way outside the above-mentioned underlay insulator layer among the above 2nd and the 3rd semiconductor layer, after formation of the above-mentioned external base pouring layer, and a substrate top -- the above -- a conductor -- a conductor different from a film -- the conductor according to above after depositing a film -- with the process which forms in a film opening which reaches the above-mentioned underlay insulator layer the conductor according to above, while performing the above-mentioned process (d) after the process which forms the above-mentioned side-attachment-wall protective coat, including further the process which forms the side-attachment-wall protective coat of wrap insulation for the side of membranous opening after the above-mentioned process (d) -- a substrate top -- a conductor -- after depositing a film -- this -- a conductor -- by including further the process which carries out patterning of the film and forms an emitter drawer electrode The hetero-bipolar transistor which has the external base layer by which resistance was equalized can be formed using a double polysilicon contest process.

[0040]

[Embodiments of the Invention] (Gestalt of the 1st operation) Drawing 1 (a) and (b) are hetero-bipolar transistors (HBT) which have Si emitter layer concerning this operation gestalt, and a SiGe base layer, and are the cross section showing the structure of

single polysilicon contest type HBT, and the fragmentary sectional view expanding and showing the structure near the emitter-base-junction section.

[0041] As shown in drawing 1 (a), the Si epitaxial layer 4 is formed on the collector embedding layer 5 of the Si substrate 1, and shallow trench 2a for dividing an active region is prepared in this Si epitaxial layer 4. Moreover, deep trench 2b which is prolonged further caudad and reaches the method of the back of the Si substrate 1 rather than shallow trench 2a is prepared. The HBT formation field Rbt is enclosed by this deep trench 2b, and the HBT formation field Rbt is divided by shallow trench 2a at the 1st active region Re 1 and the 2nd active region Re 2. And in the field located above the collector embedding layer 5 in the Si epitaxial layer 4, Si collector-layer 3a is prepared in the 1st active region Re 1, and collector wall layer 3b is prepared in the 2nd active region Re 2, respectively. Furthermore, on the active region Re 1 of [1st] the Si epitaxial layers 4, the SiGe spacer layer 7 with a thickness of 20nm is formed for germanium content formed of epitaxial growth at about 15%. This SiGe spacer layer 7 is for suppressing formation of the Pallas tick barrier (parasitism barrier) by diffusion of boron, and is an undoping layer by which the impurity is not doped. Moreover, on the SiGe spacer layer 7, the inclination SiGe base layer 8 from which germanium content decreases [% / 15] toward the upper part, and has become 0% by the upper limit is formed. The thickness of this inclination SiGe base layer 8 is about 40nm, and is in-situ in the inclination SiGe base layer 8. The boron of 2×10^{18} atoms and cm^{-3} is introduced for concentration by doping. Furthermore, on the inclination SiGe base layer 8, Si cap layer 9 formed of epitaxial growth is formed. The thickness of Si cap layer 9 is about 30nm, and the boron (B) of abbreviation 2×10^{18} atoms and cm^{-3} is doped for concentration like the inside of the inclination SiGe base layer 8 in Si cap layer 9. Moreover, on Si cap layer 9, the underlay oxide film 11 to which it is thin from the silicon oxide which is about 30nm is formed, and emitter opening 11a to which a part of Si cap layer 9 is exposed is formed in the underlay oxide film 11. And emitter opening 11a of the underlay oxide film 11 is buried, and the emitter drawer electrode 10 which consists of contest polysilicon prolonged on the underlay oxide film 11 is formed. Lynn (P) which is the N type impurity of concentration abbreviation 5×10^{20} atoms and cm^{-3} is doped by the emitter drawer electrode 10. On the other hand, emitter-diffusion layer 9a by which high-concentration Lynn was doped is formed in the field in which it is located under the emitter opening 11a among the above-mentioned Si cap layers 9 of the diffusion from the emitter drawer electrode 10. That is, in emitter-diffusion layer 9a in Si cap layer 9, although boron (about [concentration] 2×10^{18} atoms and cm^{-3}) is mostly doped by homogeneity at Si cap layer 9, since it is more sharply [than the concentration of the boron by which the concentration of Lynn diffused from the emitter drawer electrode 10 is doped] high, emitter-diffusion layer 9a has been reversed to N type.

[0042] and emitter-diffusion layer 9a is direct among the inclination SiGe base layers 8 -- the field in which it is located caudad -- intrinsic base layer Bint it is. Moreover, the external base pouring field Bex where the boron (B) which is a P type impurity was doped by the ion implantation is formed in the field located in a way outside the emitter drawer electrode 10 among the surface section of the Si epitaxial layer 4, the SiGe spacer layer 7, the inclination SiGe base layer 8, and Si cap layer 9. This external base pouring field Bex has become a part of external base layer.

[0043] Furthermore, the boron of the same concentration as the inclination SiGe base layer 8 is doped by the side of emitter-diffusion layer 9a, and the field of underlay oxide-film 11 directly under among Si cap layers 9. And intrinsic base layer Bint in the field inserted into the external base pouring field Bex, Si cap layer 9 and the inclination SiGe base layer 8 are covered, and the link field Blink is formed. Consequently, the link field Blink in which it is located under the underlay oxide film 11 of the external base layers is expanded in the thickness direction so that not only the inclination SiGe base layer 8 but Si cap layer 9 may be included. Thus, the point which the thickness of the link field Bex in an external base layer has expanded is the feature of HBT of this operation gestalt.

[0044] In addition, among the external base pouring fields Bex, the boron whose concentration is abbreviation 3×10^{17} atoms and about cm^{-3} is doped, and the surface section of the Si epitaxial layer 4 serves as a junction leak prevention layer.

[0045] Moreover, the sidewalls 20 and 22 which consist of a silicon oxide, respectively are formed in the side of the emitter drawer electrode 10, and the side of a cascade screen which consists of Si cap layer 9, a SiGe inclination SiGe base layer 8, and a SiGe spacer layer 7.

[0046] Furthermore, on the wafer, the layer insulation film 13 which consists of a BSG (Boron Silicate Glass) film is formed. The hole is prepared. the connection which reaches field 9b which becomes a part [the external base layer of the emitter drawer electrode 10 and the Si cap layers 9] at the layer insulation film 13, and collector wall layer 3b, respectively -- each connection -- the tungsten plug 12 in contact with the silicide layer 21 formed in the surface section of field 9b which becomes a part [an external base layer] among the emitter drawer electrode 10 and Si cap layer 9, and collector wall layer 3b is embedded at the hole. Moreover, on the layer insulation film 13, the metal wiring 14 connected to each tungsten plug 12 is formed.

[0047] since comparatively high-concentration boron (about [concentration] 2×10^{18} atoms and cm^{-3}) be dope by the field in which it be locate under the underlay oxide film 11 among field 9b which become a part [the external base layer of Si cap layer 9] according to SiGe-HBT concerning this operation gestalt, the link field Blink have be expand in the thickness direction so that not only the inclination SiGe base layer 8 but Si cap layer 9 may be include. And base resistance RB shown in a formula (2) The component Rlink of the link field Blink decreases about to 4/7 inside. Consequently, base resistance RB Maximum oscillation frequency fmax of HBT shown in a formula (1) since it becomes small Improvement can be aimed at.

[0048] On the other hand, although the P type impurity is doped by the Si cap layer 9 whole, the conductivity type in emitter-diffusion layer 9a of the Si cap layers 9 is reversed with diffusion of the N type impurity from the emitter drawer electrode 10, and they are emitter-diffusion layer 9a and the intrinsic base layer Bint. The impurity profile in the passing longitudinal section does not almost have a change with the impurity profile in HBT equipped with Si cap layer of the conventional undoping. Therefore, current-gain cut off frequency fT Degradation hardly takes place. Moreover, since the PN-junction section is formed in

Si cap layer 9 between emitter-diffusion layer 9a and the other field (field 9b which becomes a part [an external base layer]), although the charge and discharge time of emitter junction capacity increases only a part for emitter junction capacity to increase a little, it is the current-gain cut off frequency f_T . A value is hardly influenced. Moreover, pressure-proofing of an emitter base junction does not fall by making high impurity concentration of Si cap layer 9 of the same grade as the inclination SiGe base layer 8, either.

[0049] Thus, base resistance can be reduced, keeping junction pressure-proofing of the same grade suppressing degradation of a RF property in HBT which has single polysilicon contest structure according to HBT of this operation gestalt. Therefore, maximum oscillation frequency f_{max} increase and low noise-ization are realizable.

[0050] Next, the manufacturing process of SiGe-HBT of this operation gestalt is explained. Drawing 2 (a) - drawing 4 (d) are the cross sections showing the manufacturing process of SiGe-HBT of this operation gestalt. Among those, the cross section showing a process until - (d) deposits a covering oxide film from formation of an emitter drawer electrode and cross section and drawing 3 (a) drawing 4 (a) - (d) which show a process until drawing 2 (a) - (d) deposits the polysilicon contest film for emitter drawer electrodes from the start of a process are the cross section showing the process to formation of wiring from formation of the sidewall to the sides, such as an emitter drawer electrode.

[0051] First, at the process shown in drawing 2 (a), after forming the collector embedding layer 5 in the Si substrate 1 by pouring of an N type impurity (for example, Lynn), the Si epitaxial layer 4 is formed on the Si substrate 1 by epitaxial growth. At this time, impurities, such as Lynn in the collector embedding layer 5, are spread in the Si epitaxial layer 4. Then, it divides to the 2nd active region Re 2 for performing the 1st active region Re 1 for forming shallow trench 2a and deep trench 2b, and forming the HBT formation field Rbt for an emitter base junction etc., and the drawer of a collector electrode. That is, Si collector-layer 3a is formed in the active region Re 1 of [1st] the Si epitaxial layers 4, and collector wall layer 3b is formed in the 2nd active region Re 2.

[0052] Next, the undoping SiGe layer whose content of germanium is 15%, the doped inclination SiGe layer to which germanium content decreases from 15% gradually to 0 including the boron which is a P type impurity, and the doped Si layer containing the boron which is a P type impurity are mostly deposited continuously on a wafer by the epitaxial grown method using UHV-CVD at the process shown in drawing 2 (b), changing a type of gas. And patterning of a doped Si layer, a doped inclination SiGe layer, and the undoping SiGe layer is carried out, and the SiGe spacer layer 7, the inclination SiGe dope layer 8, and Si cap layer 9 are formed on the active region Re 1 of [1st] the Si epitaxial layers 4. At this time, the thickness of the inclination SiGe base layer 8 is about 40nm, and the high impurity concentration is 2×10^{18} atoms and cm^{-3} . The thickness of Si cap layer 9 is about 30nm, and the high impurity concentration is abbreviation 2×10^{18} atoms and cm^{-3} .

[0053] Next, at the process shown in drawing 2 (c), after thickness deposits on a wafer silicon-oxide 11x which are about 30nm, sentimentally dirtily, more, a part of silicon-oxide 11x are removed alternatively, emitter opening 11a is formed, and a part of Si cap layer 9 is exposed at the pars basilaris ossis occipitalis of emitter opening 11a. Since silicon-oxide 11x are therefore *****ed sentimentally dirtily at this time, a damage is not given to Si cap layer 9.

[0054] Next, it is in-situ on a wafer at the process shown in drawing 2 (d). The thickness by which high-concentration Lynn (P) was doped by doping deposits poly silicon film 10x of the N type which is about 250nm, and silicon nitride 16x used as a pouring protective coat. However, to poly silicon film 10x, you shall dope an N type impurity (Lynn or arsenic) with an ion implantation.

[0055] Next, at the process shown in drawing 3 (a), by the dry etching using photoresist film 17A, patterning of x and silicon-oxide 11x is carried out, and the pouring protective coat 16 on silicon nitride 16x and polysilicon contest film 10 the emitter drawer electrode 10 which contacts Si cap layer 9 by emitter opening 11a, the underlay oxide film 11, and the emitter drawer electrode 10 is formed.

[0056] Next, at the process shown in drawing 3 (b), after removing photoresist film 17A, wrap photoresist film 17B is formed for collector wall layer 3b at least on a wafer, and the ion implantation of boron (B) is performed by using this photoresist film 17B and the pouring protective coat 16 as a mask. Thereby, boron is doped by the field Bex located in the outside of the emitter drawer electrode 10 among Si cap layer 9, the inclination SiGe base layer 8, and the SiGe spacer layer 7. And among this external base pouring field Bex, the boron of the concentration of abbreviation 3×10^{17} atoms and cm^{-3} is introduced into the surface section of the Si epitaxial layer 4, and a diffusion leak prevention layer is formed in it.

[0057] Next, at the process shown in drawing 3 (c), after removing photoresist film 17B and the pouring protective coat 16, the oxide film 18 for covering which consists of a silicon oxide for diffusion prevention of the impurity at the time of heat treatment is deposited on a wafer.

[0058] Next, at the process shown in drawing 3 (d), rapid heating processing (RTA) is performed, Lynn in the emitter drawer electrode 10 is diffused in Si cap layer 9 the condition for 900 degrees C and 15 seconds, and emitter-diffusion layer 9a is formed in the field in which it is located under the emitter opening 11a among Si cap layers 9.

[0059] Next, at the process shown in drawing 4 (a), the oxide film 18 for covering and silicon-oxide 11x are *****ed by anisotropic etching, and the sidewalls 20 and 22 which become the side of the emitter drawer electrode 10 and the side of a cascade screen which consists of Si cap layer 9, an inclination SiGe base layer 8, and a SiGe spacer layer 7 from a silicon oxide, respectively are formed.

[0060] Next, the emitter drawer electrode 10 exposed on a wafer at the process shown in drawing 4 (b). After depositing a metal membrane (for example, titanium film) on field 9b which becomes a part [the external base layer of the Si cap layers 9], and collector wall layer 3b. A metal and silicon are made to react with heat treatment, and the silicide layer (for example, titanium silicide layer) 21 is formed on field 9b which becomes a part [the external base layer of the emitter drawer electrode 10 and the Si cap layers 9], and collector wall layer 3b.

[0061] Next, the layer insulation film 13 which consists of a BSG film is deposited on a wafer at the process shown in drawing 4 (c).

[0062] next, the connection which reaches the layer insulation film 13 at the process shown in drawing 4 (d) at field 9b which becomes a part [the external base layer of the emitter drawer electrode 10 and the Si cap layers 9], and collector wall layer 3b, respectively, after forming a hole each connection -- a tungsten is embedded at a hole and the tungsten plug 12 in contact with the silicide layer 21 formed in the surface section of field 9b which becomes a part [the external base layer of the emitter drawer electrode 10 and the Si cap layers 9], and collector wall layer 3b is formed. Then, the metal wiring 14 which consists of aluminum connected to each tungsten plug 12 is formed on the layer insulation film 13. Thereby, structure of HBT shown in drawing 1 (a) and (b) is realized.

[0063] According to the manufacturing process of this operation gestalt, by the process shown in drawing 2 (b), Si cap layer 9 containing a comparatively high-concentration P type impurity is formed, at the process shown in drawing 3 (d), the field in which it is located under the emitter opening 11a among this Si cap layer 9 is made to diffuse Lynn which is a high-concentration N type impurity, and emitter-diffusion layer 9a is formed in it. That is, a center section is set to emitter-diffusion layer 9a among Si cap layers 9, and the other field 9b becomes a part of external base layer.

[0064] Therefore, compared with Si cap layer of undoping being prepared, the resistance of the link field Blink which is the portion located under the underlay oxide film 11 among external base layers can be reduced like the conventional HBT. That is, it is a maximum oscillation frequency f_{max} like **** by the manufacture method of HBT of this operation gestalt. High HBT formed into low noise can be formed easily.

[0065] In addition, in the manufacturing process of HBT of this operation gestalt, you may skip the ion-implantation process of boron shown in drawing 4 (a). It is because the resistance of the whole external base layer can be maintained sufficiently small even if the external base pouring field Bex does not exist, since high-concentration boron is doped by Si cap layer 9.

[0066] Moreover, it is in-situ in the case of epitaxial growth of Si cap layer 9 shown in drawing 2 (b). What is necessary is not to dope boron to the Si cap layer 9 whole by the dope, and just to dope boron in the lower part, even if there are few Si cap layers 9. Also in such a case, since boron diffuses the inside of Si cap layer 9 up with subsequent heat treatment, it is possible to maintain the resistance of the whole external base layer small.

[0067] (Gestalt of the 2nd operation) Drawing 5 (a) and (b) are hetero-bipolar transistors (HBT) which have Si emitter layer concerning this operation gestalt, and a SiGe base layer, and are the cross section showing the structure of double polysilicon contest type HBT, and the fragmentary sectional view expanding and showing the structure near the emitter-base-junction section.

[0068] As shown in drawing 5 (a), the Si epitaxial layer 4 is formed on the collector embedding layer 5 of the Si substrate 1, and shallow trench 2a for dividing an active region is prepared in this Si epitaxial layer 4. Moreover, deep trench 2b which is prolonged further caudad and reaches the method of the back of the Si substrate 1 rather than shallow trench 2a is prepared. The HBT formation field Rbt is enclosed by this deep trench 2b, and the HBT formation field Rbt is divided by shallow trench 2a at the 1st active region Re 1 and the 2nd active region Re 2. And in the field located above the collector embedding layer 5 in the Si epitaxial layer 4, Si collector-layer 3a is prepared in the 1st active region Re 1, and collector wall layer 3b is prepared in the 2nd active region Re 2, respectively. Furthermore, on the active region Re 1 of [1st] the Si epitaxial layers 4, the SiGe spacer layer 7 with a thickness of 20nm is formed for germanium content formed of epitaxial growth at about 15%. This SiGe spacer layer 7 is for suppressing formation of the Pallas tick barrier (parasitism barrier) by diffusion of boron, and is an undoping layer by which the impurity is not doped. Moreover, on the SiGe spacer layer 7, the inclination SiGe base layer 8 from which germanium content decreases [% / 15] toward the upper part, and has become 0% by the upper limit is formed. The thickness of this inclination SiGe base layer 8 is about 40nm, and is in-situ in the inclination SiGe base layer 8. The boron of 2×10^{18} atoms and cm^{-3} is introduced for concentration by doping. Furthermore, on the inclination SiGe base layer 8, Si cap layer 9 formed of epitaxial growth is formed. The thickness of Si cap layer 9 is about 30nm, and the boron (B) of abbreviation 2×10^{18} atoms and cm^{-3} is doped for concentration like the inside of the inclination SiGe base layer 8 in Si cap layer 9. Moreover, on Si cap layer 9, the underlay oxide film 11 to which it is thin from the silicon oxide which is about 30nm is formed, and emitter opening 11a to which a part of Si cap layer 9 is exposed is formed in the underlay oxide film 11. And the emitter drawer electrode 10 which consists of contest polysilicon with which emitter opening 11a of the underlay oxide film 11 is fill uped is formed. Lynn (P) which is the N type impurity of concentration abbreviation 5×10^{20} atoms and cm^{-3} is doped by the emitter drawer electrode 10. On the other hand, emitter-diffusion layer 9a by which high-concentration Lynn was doped is formed in the field in which it is located under the emitter opening 11a among the above-mentioned Si cap layers 9 of the diffusion from the emitter drawer electrode 10. That is, in emitter-diffusion layer 9a in Si cap layer 9, although boron (about [concentration] 2×10^{18} atoms and cm^{-3}) is mostly doped by homogeneity at Si cap layer 9, since it is more sharply [than the concentration of the boron by which the concentration of Lynn diffused from the emitter drawer electrode 10 is doped] high, emitter-diffusion layer 9a has been reversed to N type.

[0069] Moreover, on the underlay oxide film 11, the base drawer electrode 31 which consists of a polysilicon contest film with which the P type impurity was doped, and the inter-electrode insulator layer 32 which consists of a silicon oxide are formed. Opening of the portion located above emitter opening 11a of the underlay oxide film 11 among the base drawer electrode 31 and the inter-electrode insulator layer 32 is carried out, the oxide-film sidewall 33 is formed in the side of the base drawer electrode 21 and the inter-electrode insulator layer 32, and the polysilicon contest sidewall 34 is further formed on the oxide-film sidewall 33. And the above-mentioned emitter drawer electrode 10 buried emitter opening 11a, and has countered with the base drawer electrode 31 on both sides of the polysilicon contest sidewall 34 and the oxide-film sidewall 33. That is, while the emitter drawer electrode 10 and the base drawer electrode 31 are insulated electrically, diffusion of the impurity from the base drawer electrode

31 to the emitter drawer electrode 10 is prevented by the oxide-film sidewall 33. Moreover, the upper surface of the base drawer electrode 31 and the emitter drawer electrode 10 of each other are insulated by the inter-electrode insulator layer 32.

[0070] and emitter-diffusion layer 9a is direct among the inclination SiGe base layers 8 -- the field in which it is located caudad -- intrinsic base layer Bint it is. Moreover, the external base pouring field Bex where the boron (B) which is a P type impurity was doped by the ion implantation is formed in the field located in a way outside the underlay oxide film 11 among the surface section of the Si epitaxial layer 4, the SiGe spacer layer 7, the inclination SiGe base layer 8, and Si cap layer 9. This external base pouring field Bex has become a part of external base layer.

[0071] Furthermore, the boron of the same concentration as the inclination SiGe base layer 8 is doped by the side of emitter-diffusion layer 9a, and the field of underlay oxide-film 11 directly under among Si cap layers 9. And intrinsic base layer Bint in the field inserted into the external base pouring field Bex, Si cap layer 9 and the inclination SiGe base layer 8 are covered, and the link field Blink is formed. Consequently, the link field Blink in which it is located under the underlay oxide film 11 of the external base layers is expanded in the thickness direction so that not only the inclination SiGe base layer 8 but Si cap layer 9 may be included. Thus, the point which the thickness of the link field Bex in an external base layer has expanded is the feature of HBT of this operation gestalt.

[0072] In addition, among the external base pouring fields Bex, the boron whose concentration is abbreviation 3×10^{17} atoms and about cm^{-3} is doped, and the surface section of the Si epitaxial layer 4 serves as a junction leak prevention layer.

[0073] Moreover, the sidewall 20 which consists of a silicon oxide is formed in the lateral surface of the emitter drawer electrode 10 and the inter-electrode insulator layer 32, and the lateral surface of the base drawer electrode 31.

[0074] Furthermore, on the wafer, the layer insulation film 13 which consists of a BSG (Boron Silicate Glass) film is formed. the connection which reaches the layer insulation film 13 at the emitter drawer electrode 10, the base drawer electrode 31, and collector wall layer 3b, respectively -- a hole prepares -- having -- **** -- each connection -- the tungsten plug 12 in contact with the emitter drawer electrode 10, the base drawer electrode 31, and the silicide layer 21 formed in the surface section of collector wall layer 3b is embedded at the hole. Moreover, on the layer insulation film 13, the metal wiring 14 connected to each tungsten plug 12 is formed.

[0075] According to SiGe-HBT concerning this operation gestalt, like HBT of the operation gestalt of the above 1st in the field in which it is located under the underlay oxide film 11 among field 9b which becomes a part [the external base layer of Si cap layer 9] Since comparatively high-concentration boron (about [concentration] 2×10^{18} atoms and cm^{-3}) is doped, the link field Blink has been expanded in the thickness direction so that not only the inclination SiGe base layer 8 but Si cap layer 9 may be included. And base resistance R_B shown in a formula (2) The component R_{link} of the link field Blink decreases about to $4/7$ inside. Consequently, base resistance R_B Maximum oscillation frequency f_{max} of HBT shown in a formula (1) since it becomes small Improvement can be aimed at.

[0076] On the other hand, although the P type impurity is doped by the Si cap layer 9 whole, the conductivity type in emitter-diffusion layer 9a is reversed with diffusion of the N type impurity from the emitter drawer electrode 10, and they are emitter-diffusion layer 9a and the intrinsic base layer Bint. The impurity profile in the passing longitudinal section does not almost have a change with the impurity profile in HBT equipped with Si cap layer of the conventional undoping. Therefore, current-gain cut off frequency f_T Degradation hardly takes place. Moreover, since the PN-junction section is formed in Si cap layer 9 between emitter-diffusion layer 9a and the other field (field 9b which becomes a part [an external base layer]), although the charge and discharge time of emitter junction capacity increases only a part for emitter junction capacity to increase a little, it is the current-gain cut off frequency f_T . A value is hardly influenced. Moreover, pressure-proofing of an emitter base junction does not fall by making high impurity concentration of Si cap layer 9 of the same grade as the inclination SiGe base layer 8, either.

[0077] Thus, according to HBT of this operation gestalt, base resistance can be reduced, keeping junction pressure-proofing of the same grade suppressing degradation of a RF property like the operation gestalt of the above 1st also in HBT which has double polysilicon contest structure. Therefore, maximum oscillation frequency f_{max} Increase and low noise-ization are realizable.

[0078] Next, the manufacturing process of SiGe-HBT of this operation gestalt is explained. Drawing 6 (a) - drawing 8 (d) are the cross sections showing the manufacturing process of SiGe-HBT of this operation gestalt. Among those, the cross section showing a process until - (e) deposits a covering oxide film from formation of emitter opening and cross section and drawing 7 (a) drawing 8 (a) - (d) which show a process until drawing 6 (a) - (e) forms emitter opening in a collector drawer electrode from the start of a process are the cross section showing the process to formation of wiring from formation of an emitter-diffusion layer.

[0079] First, at the process shown in drawing 6 (a), after forming the collector embedding layer 5 in the Si substrate 1 by pouring of an N type impurity (for example, Lynn), the Si epitaxial layer 4 is formed on the Si substrate 1 by epitaxial growth. At this time, impurities, such as Lynn in the collector embedding layer 5, are spread in the Si epitaxial layer 4. Then, it divides to the 2nd active region Re 2 for performing the 1st active region Re 1 for forming shallow trench 2a and deep trench 2b, and forming the HBT formation field Rht for an emitter base junction etc., and the drawer of a collector electrode. That is, Si collector-layer 3a is formed in the active region Re 1 of [1st] the Si epitaxial layers 4, and collector wall layer 3b is formed in the 2nd active region Re 2.

[0080] Next, the undoping SiGe layer whose content of germanium is 15%, the doped inclination SiGe layer to which germanium content decreases from 15% gradually to 0 including the boron which is a P type impurity, and the doped Si layer containing the boron which is a P type impurity are mostly deposited continuously on a wafer by the epitaxial grown method using UHV-CVD at the process shown in drawing 6 (b), changing a type of gas. And patterning of a doped Si layer, a doped inclination SiGe layer, and the undoping SiGe layer is carried out, and the SiGe spacer layer 7, the inclination SiGe dope layer 8, and Si cap layer 9 are formed on the active region Re 1 of [1st] the Si epitaxial layers 4. At this time, the thickness of the inclination SiGe base layer 8

is about 40nm, and the high impurity concentration is 2×10^{18} atoms and cm^{-3} . The thickness of Si cap layer 9 is about 30nm, and the high impurity concentration is abbreviation 2×10^{18} atoms and cm^{-3} .

[0081] Next, the thickness it is thin to a dirty stopper deposits on a wafer silicon-oxide 11x which are about 30nm at the process shown in drawing 6 (c).

[0082] Next, at the process shown in drawing 6 (d), using as a mask photoresist film 17C prepared on silicon-oxide 11x, patterning of silicon-oxide 11x is carried out by dry etching, and the opening 40 for base connection is formed. At this time, the center section of Si cap layer 9, the inclination SiGe base layer 8, and the SiGe spacer layer 7 is covered by silicon-oxide 11x, and the periphery of Si cap layer 9, the inclination SiGe base layer 8, and the SiGe spacer layer 7 has exposed it to the opening 40 for base connection. Then, using photoresist film 17C as a pouring mask as it is, the ion implantation of the boron (B) which is a P type impurity is performed, and the external base pouring field Bex is formed in the surface section of Si cap layer 9, the inclination SiGe base layer 8, the SiGe spacer layer 7, and the Si epitaxial layer 4. At this time, among the external base pouring fields Bex, the boron of the concentration of abbreviation 3×10^{17} atoms and cm^{-3} is introduced into the surface section of the Si epitaxial layer 4, and a diffusion leak prevention layer is formed in it.

[0083] Next, poly silicon film 31x [with a thickness of about 150nm by which high-concentration boron (B) was poured in on the wafer], and silicon-oxide 32x [with a thickness of about 100nm] are formed one by one by CVD at the process shown in drawing 6 (e). Next, emitter opening 31a which amounts to silicon-oxide 11x is formed in the center section of silicon-oxide 32x and poly silicon film 31x by dry etching. This emitter opening 31a is smaller than the center section of silicon-oxide 11x, and emitter opening 31a does not straddle the opening 40 for base connection.

[0084] Next, a silicon oxide with a thickness of about 30nm and the polysilicon contest film for sidewalls with a thickness of about 150nm are deposited on the whole surface of a wafer by CVD at the process shown in drawing 7 (a). And by anisotropy dry etching, etchback of a silicon oxide and the polysilicon contest film for sidewalls is carried out, and the oxide-film sidewall 33 and the polysilicon contest sidewall 34 are formed on the side in emitter opening 31a of poly silicon film 31x and silicon-oxide 32x.

[0085] Next, wet etching by fluoric acid etc. is performed at the process shown in drawing 7 (b), and the portion exposed among silicon-oxide 11x and the oxide-film sidewall 33 is removed. At this time, Si cap layer 9 is exposed in emitter opening 31a. Moreover, since wet etching is isotropic, the medial surface of silicon-oxide 11x which *****ed also in the longitudinal direction and silicon-oxide 11x and the oxide-film sidewall 33 expanded forms final emitter opening 11a.

[0086] Next, after the thickness containing drawing 7 (high-concentration Lynn (P at the process shown in c)) deposits the polysilicon contest film which is about 250nm, the emitter drawer electrode 10 is formed by carrying out patterning of the polysilicon contest film by the dry etching which uses photoresist film 17D as a mask.

[0087] Next, after removing photoresist film 17D, while carrying out patterning of silicon-oxide 32x, poly silicon film 31x, and silicon-oxide 11x and forming the base drawer electrode 31 at the process shown in drawing 7 (d) by the dry etching which uses new photoresist film 17E as a mask, portions other than the portion used as the underlay oxide film 11 which exists under the base drawer electrode 31 among silicon-oxide 11x are removed.

[0088] Next, at the process shown in drawing 7 (e), after removing photoresist film 17E, the oxide film 18 for covering is formed on a wafer.

[0089] Next, at the process shown in drawing 8 (a), rapid heating processing (RTA) is performed, Lynn in the emitter drawer electrode 10 is diffused in Si cap layer 9 the condition for 900 degrees C and 15 seconds, and emitter-diffusion layer 9a is formed in the field in which it is located under the emitter opening 11a among Si cap layers 9.

[0090] Next, while *****ing the oxide film 18 for covering, and silicon-oxide 32x by anisotropic etching and forming the inter-electrode insulator layer 32 between the emitter drawer electrode 10 and the base drawer electrode 31 at the process shown in drawing 8 (b), the sidewall 20 which becomes the side of the emitter drawer electrode 10 and the inter-electrode insulator layer 32 and the side of the base drawer electrode 31 from a silicon oxide is formed.

[0091] Next, at the process shown in drawing 8 (c), after depositing a titanium film with a thickness of about 40nm on the emitter drawer electrode 10 exposed on a wafer, the base drawer electrode 31, and collector wall layer 3b, titanium and silicon are made to react with heat treatment, and the silicide layer (titanium silicide layer) 21 is formed on the emitter drawer electrode 10, the base drawer electrode 31, and collector wall layer 3b.

[0092] Next, the layer insulation film 13 which consists of a BSG film is deposited on a wafer at the process shown in drawing 8 (d). furthermore, the connection which reaches the layer insulation film 13 at the emitter drawer electrode 10, the base drawer electrode 31, and collector wall layer 3b, respectively -- each [after forming a hole] connection -- a tungsten is embedded at a hole and the tungsten plug 12 in contact with the emitter drawer electrode 10, the base drawer electrode 31, and the silicide layer 21 formed in the surface section of collector wall layer 3b is formed. Then, the metal wiring 14 which consists of aluminum connected to each tungsten plug 12 is formed on the layer insulation film 13. Thereby, structure of HBT shown in drawing 5 (a) and (b) is realized.

[0093] According to the manufacturing process of this operation gestalt, by the process shown in drawing 6 (b), Si cap layer 9 containing a comparatively high-concentration P type impurity is formed, at the process shown in drawing 8 (a), the field in which it is located under the emitter opening 11a among this Si cap layer 9 is made to diffuse Lynn which is a high-concentration N type impurity, and emitter-diffusion layer 9a is formed in it. That is, a center section is set to emitter-diffusion layer 9a among Si cap layers 9, and the other field 9b becomes a part of external base layer.

[0094] Therefore, compared with Si cap layer of undoping being prepared, the resistance of the field (link field) in which it is located under the underlay oxide film 11 among external base layers can be reduced like the conventional HBT. That is, it is a maximum oscillation frequency f_{max} like **** by the manufacture method of HBT of this operation gestalt. High HBT formed

into low noise can be formed easily.

[0095] In addition, in the manufacturing process of HBT of this operation gestalt, you may skip the ion-implantation process of boron shown in drawing 6 (c). It is because the resistance of the whole external base layer can be maintained sufficiently small even if the external base pouring field Bex does not exist, since high-concentration boron is doped by Si cap layer 9.

[0096] Moreover, it is in-situ in the case of epitaxial growth of Si cap layer 9 shown in drawing 6 (b). What is necessary is not to dope boron to the Si cap layer 9 whole by the dope, and just to dope boron in the lower part, even if there are few Si cap layers 9. Also in such a case, since n boron is spread in Si cap layer 9 from the base drawer electrode 31 with subsequent heat treatment, it is possible to maintain the resistance of the whole external base layer small.

[0097] Next, the data about the effect of HBT of this invention are explained.